

## TEMEL KAPI DEVRELERİ

### KONU

Temel kapı devrelerinin işlemlerini ve bu işlemleri gerçekleştiren kapı devrelerinin incelenmesi ve gerçekleştirilmesi.

### ÖN BİLGİLER

#### GİRİŞ

Bilindiği gibi sayısal (digital) elektronik sistemler temel mantık kurallarına uygun çalışan sistemlerdir. Bu tür sistemlerde gerek giriş, gerekse çıkış iki farklı duruma sahip olabilir (0 veya 1). Bu durumdaki sayı sistemine ikili (binary) sayı sistemi denir. En basitinden en karmaşığına kadar bütün mantık devrelerinde bu sayı sistemi kullanılır.

Temel olarak üç lojik temel kapı devresi mevcuttur. Bunlar VEYA (OR); VE (AND), DEĞİL (NOT, INVERTER) kapılarıdır. Bu temel kapıların kombinasyonlarından diğer kapı türleri elde edilebilir. Bunlar;

NOT-AND	NAND	(VE-DEĞİL kapısı)
NOT-OR	NOR	(VEYA-DEĞİL kapısı)
EX-OR		(Exclusive OR kapısı)
EX-NOR		(Exclusive NOR kapısı)

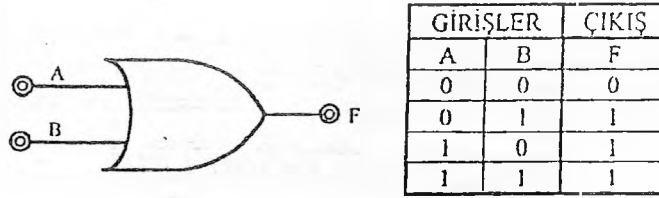
Bu deney çalışmasında yukarıda belirtilen temel lojik kapı devreleri diyot ve transistörlerle kurulan çeşitli devrelerle oluşturulacaktır. Bilindiği gibi, transistörler yükselteç (amplifier) olarak geniş bir uygulama alanına sahiptirler. Bir transistörü yükselteç olarak kullanabilmek için aktif bölgede çalıştırmak gerekir. Genel olarak bir transistör üç tür çalışmaya sahiptir.

- Kesim durumu (Cut-off)
- Aktif durumu
- Doyum durumu (Saturation)

Transistörlerin kullandığı diğer önemli bir alan ise sayısal elektronik. Bu tür uygulamalarda transistörün kesim ve doyum çalışma durumlarından yararlanır. Bir transistörün baz (base) akımı sıfır olduğunda, o transistör kesimdedir (N-P-N Transistör). Baz akımı belirli bir değere ulaştığında transistör doyum durumuna geçer. Kesimde olan bir transistörde kolektör-emiter arası açık devre, doyumda ise kısa devre gibi davranır. Bu çalışma durumuna transistörün anahtarlama (switching) çalışma durumu denir.

#### A. VEYA (OR) KAPISI :

VEYA kapı devresinin sembolü ve doğruluk tablosu (truth table) Şekil 1 'de görülmektedir. Bu doğruluk tablosunu sağlayacak birçok değişik VEYA kapı devresi oluşturulabilir. Bu deneyde bunlara iki örnek verilecek ve incelenecektir

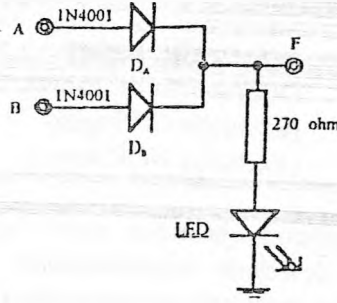


Şekil 1. VEYA kapısı ve doğruluk tablosu

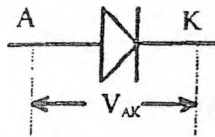
i. Diyot İle VEYA Kapı Devresi :

Şekil 2'de diyotlarla oluşturulan iki girişli bir VEYA kapısı görülmektedir. Bu devrede her iki girişe de lojik 0 uygulandığında (pozitif lojiğe göre 0 volt)  $D_A$  ve  $D_B$  diyotlarının ikisinde kesim durumundadır. Çünkü bir diyotun iletme geçebilmesi için doğru yönde polarlanması gerekir. Bu durum ise Şekil 3'de görüldüğü gibi diyodun ANOT ile KATOT arasındaki potansiyel farkın ( $V_{AK}$ ) anot katotdan daha pozitif olmak şartı ile, silikon diyot için 0.6 V'dan, germanyum diyot için 0.2 V'dan büyük olması gerekir.

Diyotların her ikisinde kesim durumunda olduğundan VEYA kapı devresi çıkışı F lojik 0 değerine sahiptir. Girişlerden en az bir tanesine lojik 1 uygulandığında (+5V) ilgili diyot doğru yönde polarlanarak girişteki lojik 1 seviyesi F çıkış noktasına aktarılır. Bu arada iletimdeki diyot üzerinde 0.6 V gerilim düşümü (Silikon için) olacaktır. Sonuç olarak girişlerin hepsi lojik sıfır olduğunda F çıkışında lojik 0, girişlerin herhangi biri veya her ikisinde lojik 1 olduğunda F çıkışı lojik 1 durumuna geçer.



Şekil 2. Diyot ile VEYA kapı devresi

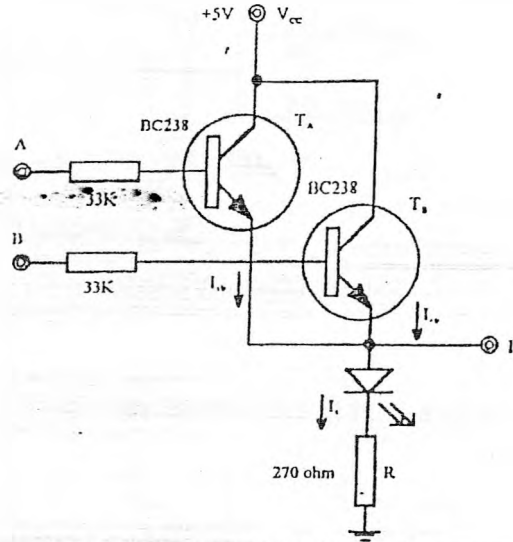


Şekil 3.

ii. Transistör İle VEYA Kapı Devresi :

Şekil 4'te transistörlerden oluşan iki girişe sahip bir VEYA kapı devresi görülmektedir. Bu devrede girişlerden her ikisinde lojik 0 olduğunda  $T_A$  ve  $T_B$  transistörleri kesim durumundadır. Bunun anlamı her iki transistörün de kesim durumunda olmalarından dolayı R direnci üzerinden herhangi bir akım geçmeyecek ve F çıkışı lojik 0 durumunda kalacaktır.

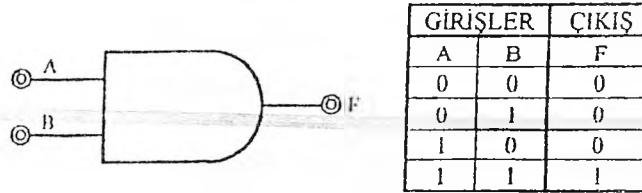
Girişlerden en az bir tanesi Lojik 1 olduğunda ilgili transistör iletim durumuna (transistörün doyum durumu) geçer. Bu durumda transistörün  $I_C$  akımı R direnci üzerinden devresini tamamlayarak F çıkışı üzerinde bir gerilim düşümüne neden olur. Bu F çıkışı lojik 1 değerindedir.



Şekil 4. Transistörlü VEYA kapısı

### B. VE (AND) KAPISI :

VE (AND) kapı devresinin sembolü ve doğruluk tablosu Şekil 5'de görülmektedir.



Şekil 5. VE Kapısı ve doğruluk tablosu

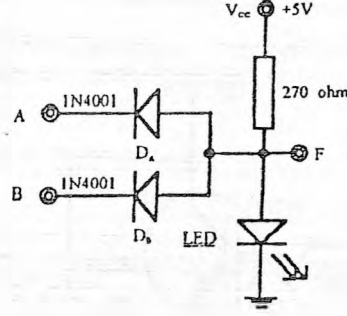
VEYA kapısında olduğu gibi VE kapısının yapımındaki iki örnek verilecektir.

#### i. Diyot İle VE Kapı Devresi :

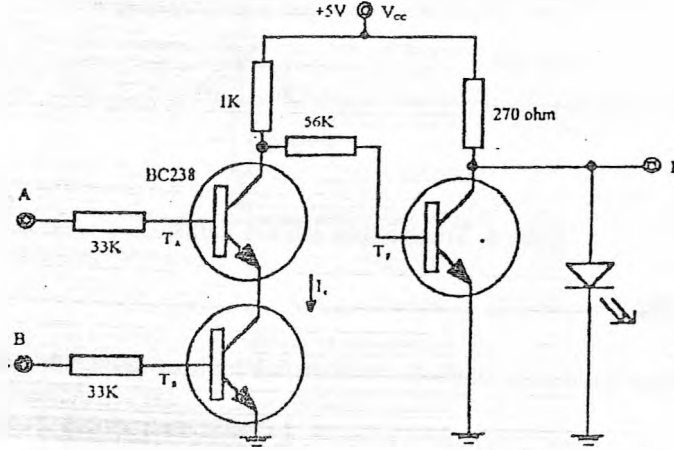
Diyotlu VE kapısı Şekil 6'da görülmektedir. Bu devrede her iki girişte lojik 0 olduğunda  $D_A$  ve  $D_B$  diyotlarının her ikisinde doğru yönde polarlanacağından dolayı F çıkışında sadece 0.6V görülecektir. Bu potansiyel farkı diyot üzerinde düşen  $V_{AK}$  gerilimidir ve lojik 0 olarak değerlendirilir. Girişlerden bir tanesi lojik 0, diğeri lojik 1 seviyesinde olduğunda durum değişmeyecektir. Çünkü bu durumda diyotlardan biri iletim, diğeri ise kesimdedir. İletim durumundaki diyotun girişi lojik 0 olduğundan dolayı F çıkışı bu diyot üzerinden şaseye bağlandığı için lojik 0 seviyesinde olacaktır. Bu devrede her iki giriş lojik 1 seviyesinde olduğunda, diyotlar ters polarlanmış olacak ve besleme gerilimi (+Vcc) F çıkışında görülecektir. Bu çıkış ise lojik 1 olarak değerlendirilir.

#### ii. Transistör İle VE Kapı Devresi :

Şekil 7'deki devrede ise transistörle gerçekleştirilen bir VE kapı devresi görülmektedir. Bu devrede girişlerden her ikisinde lojik 0 olduğunda  $T_A$  ve  $T_B$  transistörleri kesim durumunda olacaktır. Bunun sonucunda A noktasında Vcc gerilimi görülecek ve bu gerilim ise  $T_F$  transistörünü iletime geçirecektir. Sonuç olarak F çıkışı lojik 0 durumuna gelecektir.



Şekil 6. Diyotlu VE kapısı

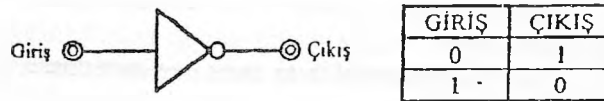


Şekil 7. Transistörlü VE kapısı

Girişlerin her ikisi de lojik 1 seviyesinde olduğunda,  $T_A$  ve  $T_B$  transistörlerinin her ikisi de iletim durumunda olacak ve A noktası şaseye bağlanmış olacaktır. Bu durumda ise  $T_F$  transistörü kesin durumuna geçecek ve F çıkışı lojik 1 seviyesine gelecektir.

### C. DEĞİL (NOT) KAPISI :

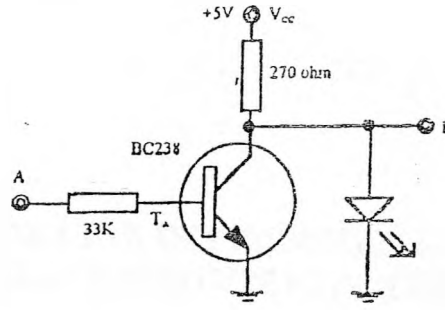
DEĞİL kapısının sembolü ve doğruluk tablosu Şekil 8'de görülmektedir.



Şekil 8. DEĞİL kapısı ve doğruluk tablosu

Girişine uygulanan lojik 0 işaretini çıkışına lojik 1, lojik 1 işaretini ise lojik 0 olarak çıkışa aktaran devrelere DEĞİL kapısı ya da INVERTER denir. Şekil 9'da ise bir DEĞİL kapısının transistörle gerçekleştirilmiş devresi görülmektedir.

Bu devrede girişe lojik 0 uygulandığında transistör kesimde ve F çıkışında  $V_{cc}$  gerilimi görülecektir. Bu ise lojik 1 olarak değerlendirilir. Girişe lojik 1 verildiğinde ise transistör iletime geçerek F çıkış noktası şaseye bağlanmış olur ve F çıkışında lojik 0 seviyesi görülür.



Şekil 9. Transistörlü DEĞİL kapısı

**DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI**

- |                            |                            |
|----------------------------|----------------------------|
| 1. 1 adet Protoboard       | 8. 1 adet 270 ohm Direnç   |
| 2. +5 V Besleme Kaynağı    | 9. 4 adet 1K ohm Direnç    |
| 3. 1 adet AVO metre        | 10. 3 adet 10K ohm Direnç  |
| 4. 2 adet 1N4001 Diyot     | 11. 1 adet 56K ohm Direnç  |
| 5. 4 adet LED Diyot        | 12. 1 adet 100K ohm Direnç |
| 6. 3 adet BC238 Transistör | 13. Bağlantı Kabloları     |
| 7. 2 adet 33K ohm Direnç   |                            |

**DENEY ÇALIŞMASI**

1. Şekil 2 ve 4'deki VEYA kapı devrelerini kurarak, doğruluk tablolarını çıkarınız.
2. Şekil 6 ve 7'deki VE kapı devrelerini kurarak, doğruluk tablolarını çıkarınız.
3. Şekil 9'daki DEĞİL kapı devresini kurarak, doğruluk tablosunu çıkarınız.

**SORULAR**

1. Temel kapı devreleri ve doğruluk tablolarını kullanarak NAND, NOR, EXOR ve EXNOR kapı devrelerini çiziniz, doğruluk tablolarını çıkararak çalışmalarını anlatınız.
2. Entegre devre teknolojileri hakkında detaylı bilgi veriniz.
3. Elektronikte kullanılan pasif ve aktif elemanlar hakkında bilgi veriniz.

## TEMEL KAPI DEVRELERİ KULLANILARAK LOJİK FONKSİYONLARIN GERÇEKLEŞTİRİLMESİ

### KONU

Tümleşik devre olarak üretilmiş kapı devrelerini kullanarak indirgenmiş fonksiyonların elektronik devrelerinin gerçekleştirilmesi.

### ÖN BİLGİLER

#### GİRİŞ

Bu deneyde lojik ifadelerin lojik kapılara uygulanışı incelenecektir. Bunun için ilk önce verilen lojik ifadeye göre, bu ifadeyi gerçekleştiren lojik kapı gurubu oluşturulacaktır. İkinci aşamada hazır lojik kapı gurupları verilerek giriş değişkenlerine göre çıkış lojik ifadesi elde edilecektir. Son olarak ise Boole kuralları ve teoremleri kullanılarak verilen lojik ifade basitleştirilerek elde edilen bu basit ifadeye göre lojik devre gerçekleştirilecektir.

Örnek olarak; aşağıdaki lojik ifadeler üzerinde gerekli sadeleştirmeleri yaparak sonuç ifadeleri elde ediniz.

a)  $F = A(A + \bar{B})$

b)  $F = \bar{B}(A + \bar{A})$

c)  $F = AC + \bar{A}C + \bar{C}$

d)  $F = \overline{A + B + C + D}$

e)  $F = \overline{(A + B)C}$

NOT :  $A + A' = 1$  olduğu için  $F = (A + A')B = B$  olur.

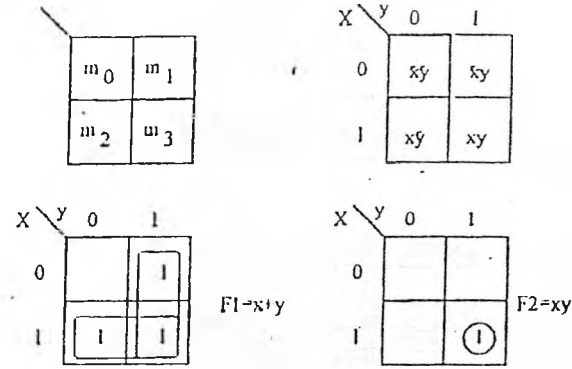
### A. BOOLE FONKSİYONLARININ BASİTLEŞTİRİLMESİ

Boole fonksiyonları, cebirsel yer değiştirmelerle basitleştirildiğinde özel kurallar gerektirdiği için çeşitli güçlüklerle karşılaşmaktadır. Diyagram yöntemi, bu güçlükleri ortadan kaldırmıştır.

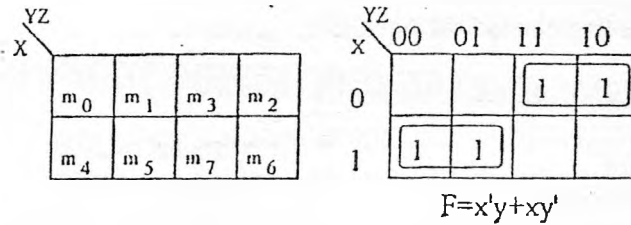
Diyagram yöntemi önce Veitch (1952) tarafından verilmiştir. Daha sonra Karnaugh tarafından geliştirilmiştir. Bu sebeple bu yöntem "Karnaugh Diyagramı Yöntemi" denilmektedir. Bu yöntem en fazla dört değişkenli fonksiyonlar için kullanışlı olmaktadır. Beş ve daha fazla değişkenli fonksiyonlar için tablo yöntemi kullanılmaktadır.

#### i) İki Değişkenli Karnaugh Diyagramı

Dört tane minterm'i vardır ve X ve Y gibi iki değişkene sahiptir.

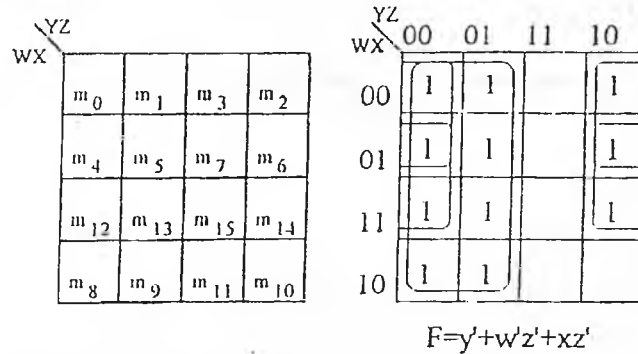


### ii) Üç Değişkenli Karnaugh Diyagramı



Bu sistemde sekiz minterm vardır. Dolayısı ile diyagram sekiz karedir. Buradaki satır ve sütun sıralaması ikili sayı sıralaması gibi olmayıp, Gray Kod'u biçimindedir.

### iii) Dört Değişkenli Karnaugh Diyagramı



Dört değişkenli Karnaugh Diyagramı yukarıdaki şekilde görülmektedir. Dört adet ikili değişken için onaltı minterm vardır. Buradaki satır ve sütun sıralaması ikili sayı sıralaması gibi olmayıp, Gray Kodu biçimindedir.

### iv) İsteğe Bağlı Durumlar (Don't care conditions)

İsteğe bağlı durumlar tümüyle tamamlanmamış fonksiyonlara ilişkin olup, sıfır (0) veya bir (1) olarak alınabilen şartlardır. Aşağıda bu duruma ilişkin bir örnek verilmiştir.

$$F = \sum(1, 3, 7) = \bar{x}\bar{y}\bar{z} + \bar{x}yz + xyz$$

Boole fonksiyonunu aşağıdaki isteğe bağlı şartlar altında basitleştiriniz.

$$d = \sum(0, 2, 5) = \bar{x}\bar{y}\bar{z} + \bar{x}y\bar{z} + x\bar{y}z$$

		yz				
	x	00	01	11	10	
	0	d	1	1	d	F=z
	1		d	1		

Burada, isteğe bağlı durumlardan bir tanesi 1 ve iki tanesi ise 0 olarak alınmıştır. F için basitleştirilmiş ifade  $F=z$  olarak elde edilmiştir.

### DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI

- |                         |                           |
|-------------------------|---------------------------|
| 1. 1 adet Protoboard    | 7. 1 adet 74LS08          |
| 2. +5 V Besleme Kaynağı | 8. 1 adet 74LS32          |
| 3. 1 adet AVO metre     | 9. 5 adet LED Diyot       |
| 4. 1 adet 74LS00        | 10. 1 adet 270 ohm Direnç |
| 5. 1 adet 74LS02        | 11. Bağlantı Kabloları    |
| 6. 1 adet 74LS04        |                           |

### DENEY ÇALIŞMASI

1. Aşağıdaki Boole fonksiyonları için çarpımların toplamı biçimindeki basitleştirilmiş ifadeleri elde ediniz ve elde ettiğimiz ifadeyi gerekli elemanları kullanarak gerçekleştiriniz.

a)  $F(x, y, z) = \sum(2, 3, 6, 7)$

b)  $F(w, x, y, z) = \sum(2, 3, 12, 13, 14, 15)$

- NOT, AND ve OR fonksiyonlarını NAND kapıları ile gerçekleştiriniz.
- NOT, AND ve OR fonksiyonlarını NOR kapıları ile gerçekleştiriniz.
- $F = A(B + CD) + B\bar{C}$  fonksiyonunu NAND kapıları ile gerçekleştiriniz.
- $F = A(B + CD) + B\bar{C}$  fonksiyonunu NOR kapıları ile gerçekleştiriniz.

### SORULAR

- $F = A(BC + \bar{D}) + \bar{A}C$  fonksiyonunu sadece NAND kapıları kullanarak gerçekleştiriniz.
- $F = A(BC + \bar{D}) + \bar{A}C$  fonksiyonunu sadece NOR kapıları kullanarak gerçekleştiriniz.
- $F = AD + A\bar{C}$  fonksiyonunu Boolean cebri fonksiyonları yardımıyla çarpım ifadeleri elde ediniz. Elde edilen fonksiyonu sadece NAND kapı devreleri kullanarak gerçekleştiriniz.
- $F = A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D}$  fonksiyonunu Karno kullanarak indirgeyin ve elde edilen fonksiyonu sadece NAND kapı devreleriyle gerçekleştiriniz.

## KOMBİNASYONAL LOJİK DEVRELER - I

### KONU

MSI lojik elemanları yardımı ile kombinyasyonel lojik devrelerden TOPLAYICI ve ÇIKARICI devrelerinin kurulması ve incelenmesi.

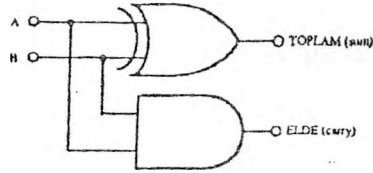
### ÖN BİLGİLER

#### A. TOPLAYICILAR (ADDERS)

Sayısal bilgisayarların gerçekleştirebildikleri bir çok bilgi işleme şekillerinden birisi de aritmetik işlemlerdir. En temel aritmetik işlem, iki binary (ikili) dijitin toplanmasıdır. Bu basit toplama işlemi dört farklı işlemden oluşur.

$$0+0=0, 0+1=1, 1+0=1, 1+1=10$$

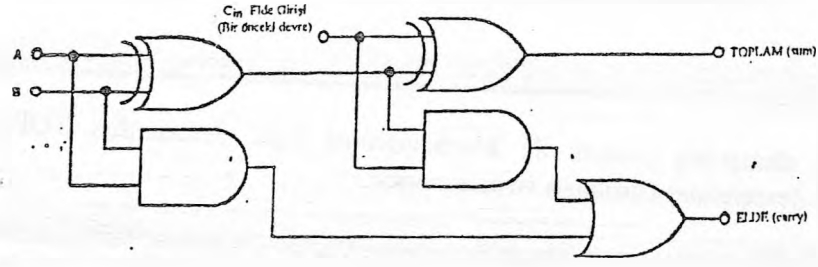
İlk üç işlemde toplamın boyutu bir dijite oluşmasına rağmen, dördüncü işlemde toplanan ve toplanan binary bilgilerin her ikisinin de 1 olması durumunda işlem sonucunda elde edilen toplamın boyutu iki dijittir. Bu durumda elde edilen sonucun en ağırlıklı biti elde (Carry) olarak adlandırılır. İki bit bilginin toplamını gerçekleştiren kombinyasyonel devrelere yarı toplayıcı (Half Adder) (Şekil 1), Üç bit bilginin (en ağırlıklı iki bit ve bir önceki devreden gelen elde) toplamını gerçekleştiren devreye de tam toplayıcı (Full Adder, Şekil 2) denir.



GİRİŞLER		ÇIKIŞLAR	
A	B	TOPLAM	ELDE
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

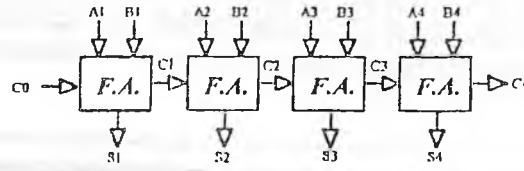
Şekil 1 : Yarı toplayıcı ve doğruluk tablosu

Şekil 2'den de görüldüğü gibi bir tam toplayıcı, iki yarı toplayıcı ve bir OR kapısından oluşmaktadır. Şekil 2'deki tam toplayıcı iki adet bir bitlik bilgilerin toplanmasını gerçekleştirmektedir. Eğer toplanacak bilgiler bir bitten büyük olursa, bit sayısı kadar tam toplayıcı paralel olarak kullanılacaktır. Şekil 3'ten de görüldüğü gibi her tam toplayıcının elde çıkışı kendinden sonra gelen tam toplayıcının (kendinden daha ağırlıklı olan ilk tam toplayıcı) elde girişine uygulanır. Şekil 3'de 4 bitlik bir paralel toplayıcı şematik olarak gösterilmiştir.



GİRİŞLER			ÇIKIŞLAR	
A	B	Cin	TOPLAM	ELDE
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Şekil 2 : Tam toplayıcı ve doğruluk tablosu

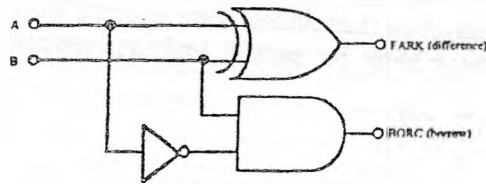


Şekil-3 : 4 bit paralel toplayıcı

### B. ÇIKARICILAR (SUBTRACTORS)

Toplama işleminde olduğu gibi çıkartma işleminde de dört temel işlem bulunmaktadır. Bu işlemleri gerçekleştiren kombinyonel devrelere yarım çıkarıcı (Half Subtractor) denir.

$$0-0=0, 0-1=1 (\text{Borç}=1), 1-0=1, 1-1=0$$



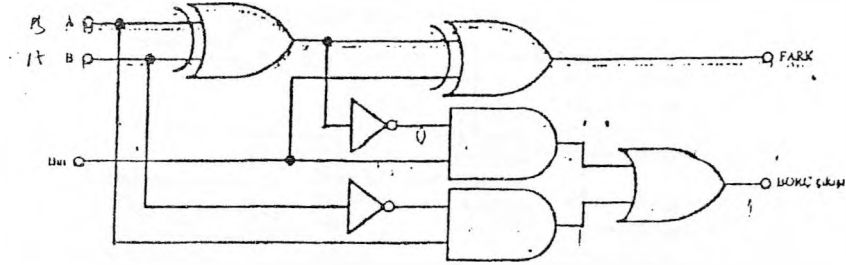
GİRİŞLER		ÇIKIŞLAR	
A	B	FARK	BORÇ
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Şekil 4 : Yarım çıkarıcı ve doğruluk tablosu

Çıkartma devreleri toplama devresine benzer. Toplayıcı devre deki toplam (Sum) çıkışı bir fark (Difference) çıkışı ile ve elde (Carry) çıkışı bir borç (Borrow) çıkışı ile yer değiştirirse yarım çıkarıcı devresi (Half Subtractor Circuits) elde edilir. İkili sayıları çıkarırken uygulanacak kurallar yukarıdaki tabloda açıklanmıştır. Yarım toplayıcıda elde çıkışı yerine yarım çıkarıcı devrede Borç çıkışı vardır. Yukarıdaki işlemlerden ikincisine bakıldığında 0'dan 1'in çıkmayacağı görülmektedir. O hâlde bir sonraki bitten 1 borç alınır

ve 10 ikili bilgisinden 1 çıkartılır. Şekil 4'de bir yarım çıkarıcı devresi ve doğruluk tablosu verilmiştir.

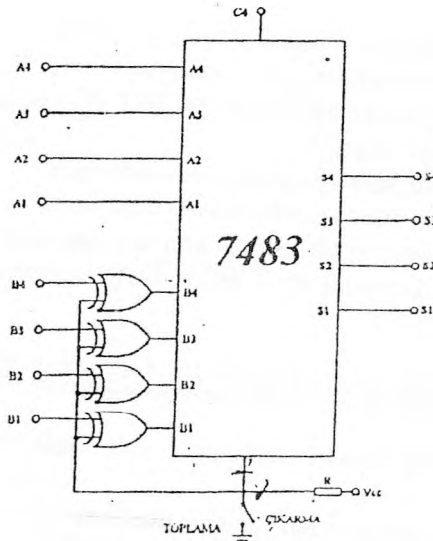
Bir tam çıkarıcı ise iki yarım çıkarıcı ve bir OR kapısından oluşmaktadır. Ayrıca tam toplayıcı devresindeki elde girişi bir borç girişi ile yer değiştirirse tam çıkarıcı devresi elde edilir. Bu devre ile doğruluk tablosu Şekil 5'de görülmektedir.



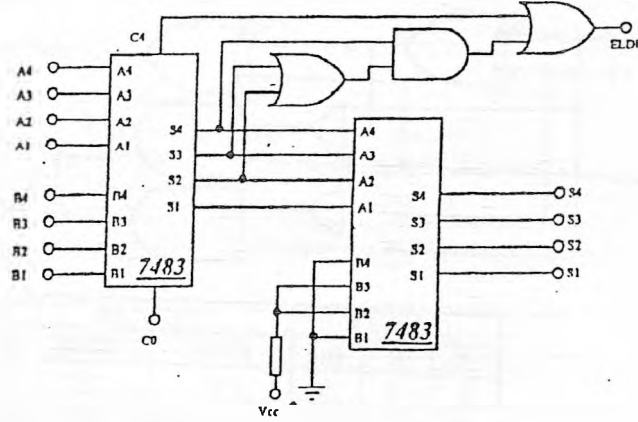
GİRİŞLER			ÇIKIŞLAR	
A	B	Bin	FARK	BORÇ
0	0	0	0	0
0	1	0	1	1
1	0	0	1	0
1	1	0	0	0
0	0	1	1	1
0	1	1	0	1
1	0	1	0	0
1	1	1	1	1

Şekil 5 : Tam çıkarıcı ve doğruluk tablosu

Şekil 6'da 4 bitlik tam toplayıcı/çıkarıcı, Şekil 7'de ise toplam sonucunu BCD'ye çevirebilen 4 bitlik bir tam toplayıcı devresi görülmektedir.



Şekil 6 : 4 bit tam toplayıcı / çıkarıcı



Şekil 7 : BCD çevrimli 4 bit tam toplayıcı

**DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI**

- |                         |                          |
|-------------------------|--------------------------|
| 1. 1 adet Protoboard    | 6. 1 adet 74 LS86        |
| 2. +5 V Besleme Kaynağı | 7. 2 adet 74LS83         |
| 3. 1 adet AVO Metre     | 8. 8 adet LED diyot      |
| 4. 1 adet 74LS08        | 9. 2 adet 270 ohm Direnç |
| 5. 1 adet 74LS32        | 10. Bağlantı Kabloları   |

**DENEY ÇALIŞMASI**

1. Şekil 1'deki devreyi kurunuz ve çalışmasını inceleyiniz.
2. Şekil 2'deki devreyi kurunuz ve çalışmasını inceleyiniz.
3. Şekil 3'deki 4 bitlik paralel toplayıcıyı 74LS83 IC paketi yardımıyla gerçekleştiriniz. 4 Bitlik toplama örnekleri yapınız.
4. Şekil 4'deki devreyi kurunuz ve çalışmasını inceleyiniz.
5. Şekil 5'deki devreyi kurunuz ve çalışmasını inceleyiniz.
6. Şekil 6'daki devreyi kurunuz ve 4 Bit'lik toplama, çıkarma örnekleri yapınız.
7. Şekil 7'deki devreyi kurunuz ve 4 Bit'lik BCD çevrimli toplama, çıkarma örnekleri yapınız.

**SORULAR**

1. Şekil 3' deki 4 bit'lik paralel toplayıcıda tam toplayıcı yerine neden yarım toplayıcı kullanılmaz.
2. Şekil 6'daki devrenin çalışma prensibini izah ediniz.
3. Binary çarpma ve bölme işlemleri hakkında teorik bilgi veriniz.
4. Quad Full-Adder ve NAND devre paketleri kullanarak 4-bit x 3-bit çarpma devresi tasarlayınız.

## KOMBİNASYONAL LOJİK DEVRELER - II

### KONU

MSI lojik elemanları yardımı ile kombinasyonel lojik devrelerden DECODER ve ENCODER devrelerinin kurulması ve incelenmesi.

### ÖN BİLGİLER

#### GİRİŞ

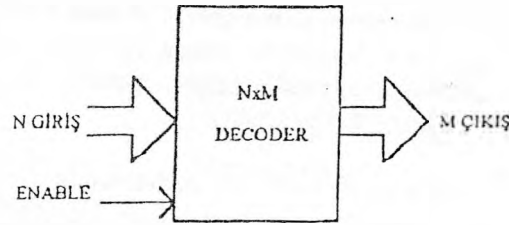
Bilindiği gibi dijital sistemlerde lojik devreler, kombinasyonel (Combinational) ya da ardışık (Sequential) devreler şeklinde kurulmuş olabilirler. Kombinasyonel devreler lojik kapılardan oluşurlar ve herhangi bir andaki çıkışları o andaki girişlerinin durumuna bağlıdır. Bir kombinasyonel devrenin çıkışını, girişin bir önceki durumu etkilemez. Kombinasyonel devre; Boolean fonksiyonları yardımı ile mantıksal olarak tanımlanmış sadece bir özel işlemi yerine getiren devredir. Ardışık devreler ise lojik kapıların yanı sıra depolama elemanlarını da kapsamına alırlar (Örnek : Flip-Flop). Buna bağlı olarak ardışık devrenin çıkışları; depolama elemanının durumuna ve harici girişlerine bağlıdır.

Bir kombinasyonel devre X sayıda giriş ve Y sayıda çıkışa sahiptir. Kombinasyonel devrenin girişlerine herhangi bir anda uygulanacak bilgiye göre o anda çıkışlarında devrenin kuruluş maksadına uygun şekilde bilgiler elde edilecektir.

Bu deney çalışmasında kombinasyonel lojik devrelerden decoder ve encoder devreleri incelenecektir.

#### A. DECODER (KODÇÖZÜCÜ)

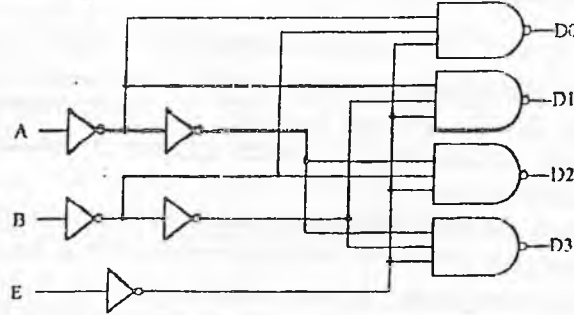
Decoder, N giriş hattından oluşan binary giriş bilgisini maksimum  $2^N$  çıkış hattına çeviren kombinasyonel bir devredir. Decoderler yapı olarak N binary giriş hattını M çıkış hattına çevirdiklerinden dolayı NxM ya da N-M decoder olarak adlandırılırlar. Burada  $M=2^N$  ilişkisi söz konusudur (Şekil 1).



Şekil 1. NxM Decoder'in genel gösterilişi

Genel olarak Decoderler IC paketler içerisinde 2x4, 3x8, 4x10, 4x16 şeklinde düzenlenmiş olarak bulunurlar. Şekil 2'de 2x4 decoder devresi ve doğruluk tablosu görülmektedir.

Şekil 2.a.'da görüldüğü gibi, decoder devre A ve B girişlerine ve bu girişlerin kombinasyonuna bağlı olarak dört çıkışa sahiptir.



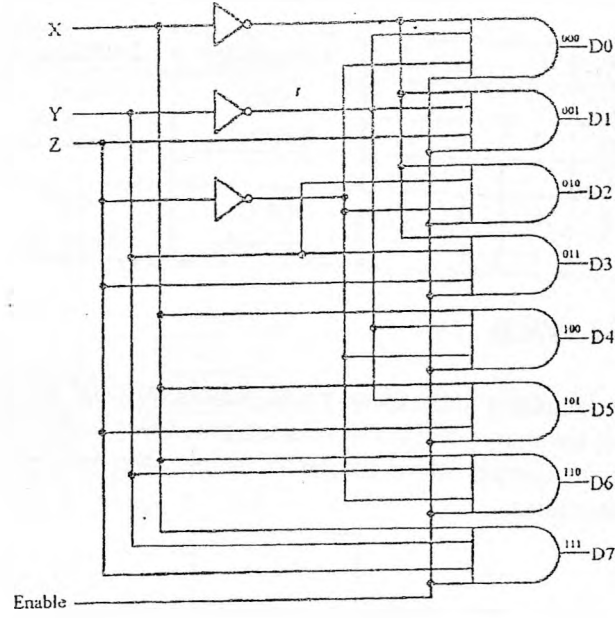
E	A	B	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

Şekil 2. a) 2x4 decoder b) Doğruluk tablosu

Girişlere uygulanacak bilginin her kombinasyonunda çıkışlardan sadece birinde lojik 1 seviye görülecek, diğer çıkışlar ise lojik 0 seviyesine sahip olacaklardır.

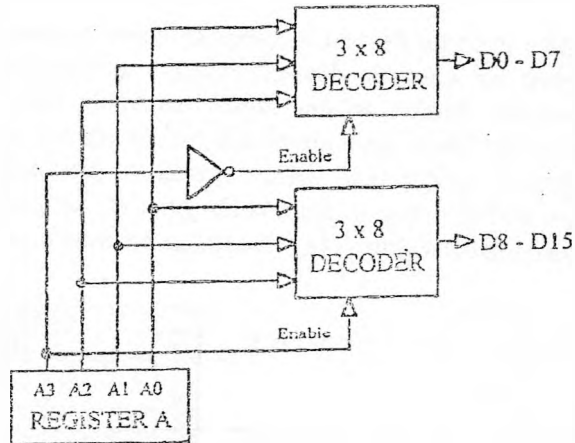
Şekil 1'de görüldüğü gibi, NxM decoder devresi giriş ve çıkış hatlarından başka bir ENABLE girişine sahiptir. Eğer NxM decoder devresi gerekli olan ENABLE sinyaline sahip değilse (ENABLE=0) decoder devre yapması gereken işlemi yerine getirmez ve pasif durumdadır. Uygun ENABLE sinyali uygulandığında (ENABLE=1) decoder devre aktif durumdadır ve normal çalışma işlemlerini yerine getirir. Ayrıca ENABLE girişi birden çok decoder devrenin bulunduğu digital devrelerde uygun bir seçici lojik devre yardımı ile, istenilen decoder devrenin seçilmesinde kullanılabilir. Şekil 3 'de ENABLE girişli 3x8 decoder devresi ve doğruluk tablosu görülmektedir.

Değişik kapasitelerde decoder devreleri IC paketlerinde mevcut olduğu gibi (2x4, 3x8, 4x10, 4x16) birkaç decoder yardımı ile daha büyük kapasitelerde decoder devreler oluşturulabilir. Örnek olarak, 4x16 decoder devre elde edebilmek için 3x8 decoderden faydalanılabilir. Şekil 4'de görüldüğü gibi 4 bitlik bir binary kodun A<sub>0</sub>, A<sub>1</sub> ve A<sub>2</sub> hatları her iki decoderin x, y ve z girişlerine uygulanır. A<sub>3</sub> hattı ise birinci decoderin ENABLE girişine direk olarak bağlanır. 4 Bitlik binary kod 16 değişik kombinasyona sahiptir. A<sub>3</sub>=0 olduğu sürece birinci decoder aktif durumda olacak, ikinci decoder uygun ENABLE sinyaline sahip olmadığından dolayı pasif durumda olacaktır. A<sub>3</sub>=1 olduğunda ise ikinci decoder aktif duruma geçecektir.



GİRİŞLER				ÇIKIŞLAR							
E	X	Y	Z	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	D <sub>6</sub>	D <sub>7</sub>
1	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	1

Şekil 3. 3x8 Decoder devresi ve doğruluk tablosu

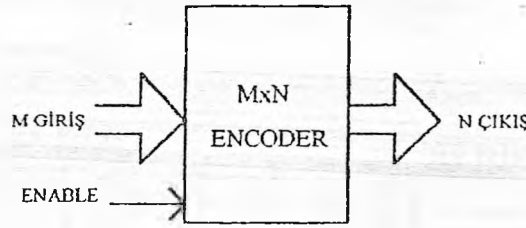


Şekil 4. 3x8 Decoder yardımı ile 4x16 decoder devrenin kurulması

A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	1. Decoder	2. Decoder
0	0	0	0	Aktif durumda	Pasif durumda
0	1	1	1		
1	0	0	0	Pasif durumda	Aktif durumda
1	1	1	1		

### B. ENCODER (KODLAYICI)

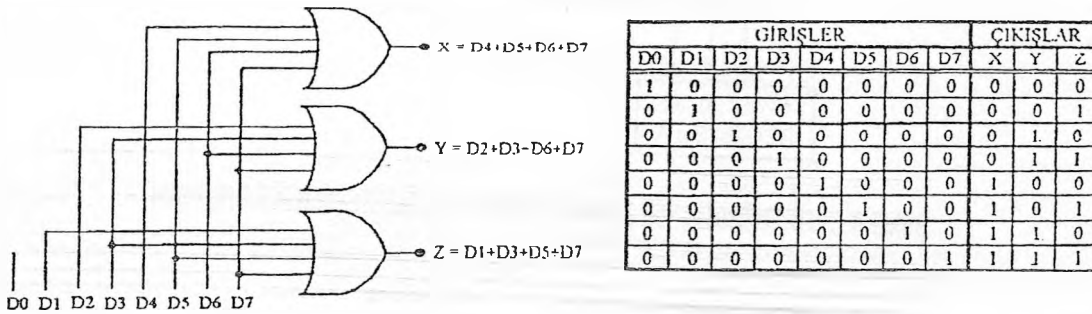
Encoder, bir decoderin tersi işlem yapan kombinyasyonel bir digital devredir. Bir encoder devre  $2^N$  giriş hattına ve N çıkış hattına sahiptir. Çıkış hatlarından  $2^N$  değişken giriş için binary kodlar üretir. Girişler M ve çıkışlar N olarak adlandırıldığında MxN yada M-N encoder olarak tanımlanabilir.



Şekil 5. MxN Encoder 'in genel-gösterilişi

Şekil 6'dan da görüleceği gibi, encoder devresi 8 girişe ve bu girişlere karşılık binary olarak üretilecek kodların elde edileceği üç çıkışa sahiptir. Girişe  $2^8 = 256$  mümkün olabilecek giriş uygulanabilmesine karşılık bunlardan sadece doğruluk tablosunda görüldüğü gibi, sekiz giriş değişkeni giriş olarak kabul edilecek ve bu girişlere karşılık binary kodlar üretecektir. Bu işlem bir anlamda desimal girişin binary forma dönüştürülmesi olarak da adlandırılabilir (Decoder devrede ise binary giriş büyüklüğünün desimal forma dönüştürülmesi söz konusudur).

Şekil 6'da görülen encoder devresi IC paketler halinde mevcut değildir. IC paketler halinde elde edilebilecek bir encoder devresi öncelikli çevrim yapan encoder (priority encoder) olarak adlandırılır. Bunun anlamı şudur; encoder'a giriş olarak uygulanan her hattın bir öncelik sırası vardır. Buna göre girişlerden biri en yüksek öncelikli giriş ( $D_7$ ) ve bir diğeri de en düşük öncelikli giriştir ( $D_0$ ). Örnek olarak bu girişlerden en yüksek öncelikli girişe karşılık bir binary kod üretecektir. Burada  $D_5$  girişi  $D_2$  'ye göre daha öncelikli giriştir ve çıkışta 101 binary kodu üretilecektir. 74148 böyle bir encoder'a örnektir.



Şekil 6. 8x3 Encoder devresi ve doğruluk tablosu

**DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI**

- |                         |                          |
|-------------------------|--------------------------|
| 1. 1 adet Protoboard    | 6. 1 adet 74148          |
| 2. +5 V Besleme Kaynağı | 7. 10 adet LED           |
| 3. 1 adet AVO Metre     | 8. 1 adet 270 ohm Direnç |
| 4. 1 adet 74LS138       | 9. Bağlantı Kabloları    |
| 5. 2 adet 74LS139       |                          |

**DENEY ÇALIŞMASI**

1. 74138 IC paketi ile 3x8 decoder devresinin çalışmasını inceleyiniz.
2. 74139 IC paketi ile iki adet 2x4 decoder yardımı ile 3x8 decoder devresini gerçekleştiriniz.
3. 74148 IC paketi ile 8x3 encoder devresini kurup çalışmasını inceleyiniz.

**SORULAR**

1. 74148 IC paketi 8x3 öncelikli çevrim yapan bir encoderdir. 74148 ve lojik kapılar yardımı ile 10x4 encoder devresini gerçekleştiriniz.
2. 2x4 decoder paketleri yardımıyla 4x16 decoder devresini gerçekleştiriniz.
3. 3x8 decoder paketleri yardımıyla 5x32 decoder devresini gerçekleştiriniz.
4. 2x4 decoder paketleri yardımıyla 5x32 decoder devresini gerçekleştiriniz.
5. Öncelikli çevrim yapan encoder veya decoder mantığı hakkında bilgi veriniz.

## KOMBİNASYONAL LOJİK DEVRELER - III

### KONU

MSI lojik elemanları yardımı ile kombinasyonel lojik devrelerden MULTIPLEXER ve DEMULTIPLEXER devrelerinin kurulması ve incelenmesi.

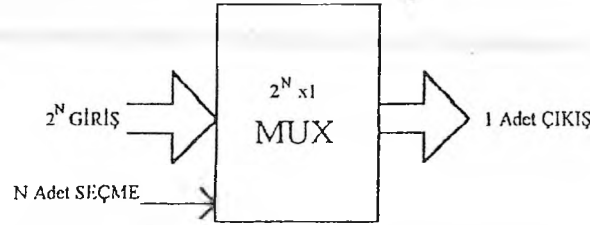
### ÖN BİLGİLER

#### GİRİŞ

Bu deney çalışmasında dördüncü deney'e ilave olarak kombinasyonel lojik devrelerden multiplexer ve demultiplexer devrelerinin çalışmaları incelenecektir.

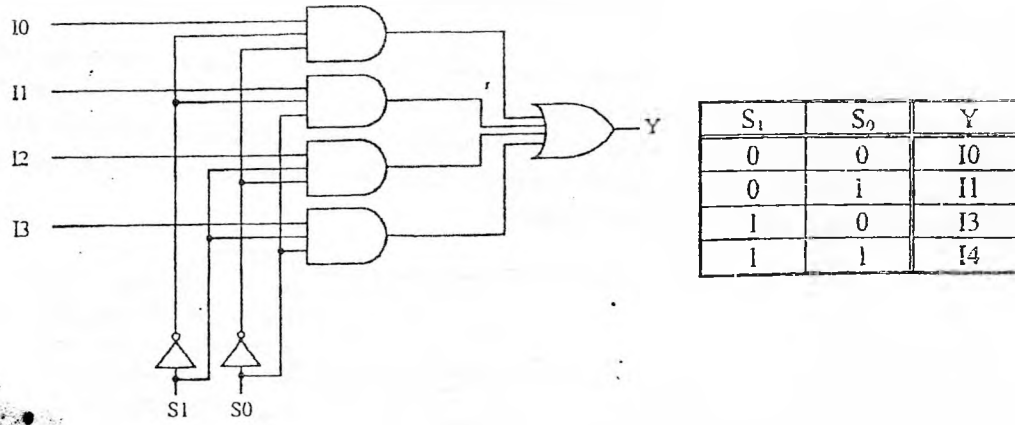
#### A. MULTIPLEXER

Çoğullama (Multiplexing) işlemi, birden fazla bilgi biriminin daha az kanal yada hattan iletilmesi anlamına gelir. Bir dijital çoğullayıcı (multiplexer) giriş hatlarına uygulanan binary bilgilerden sadece bir tanesini seçerek tek bir çıkışa veren kombinasyonel bir devredir. Girişteki hatlardan herhangi birinin seçilme işlemi ise seçme hatları (select line) yardımı ile kontrol edilir. Şekil 1'de görüldüğü gibi bir multiplexer  $2^N$  girişe, N seçme (select) ucuna ve bir çıkış ucuna sahiptir. Bir multiplexer devresi N girişe ve 1 çıkışa sahip olduğundan  $N \times 1$  multiplexer olarak adlandırılır. Genel olarak  $2 \times 1$ ,  $4 \times 1$ ,  $8 \times 1$ ,  $16 \times 1$  multiplexer devreleri oluşturulabilir.

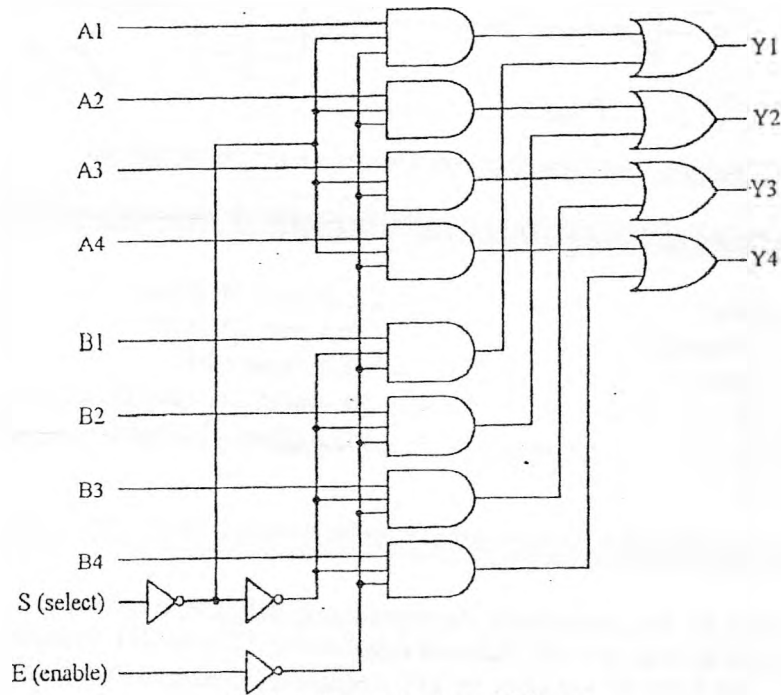


Şekil 1. Multiplexer devresinin genel gösterilişi

Şekil 2'de  $4 \times 1$  multiplexer devresi görülmektedir. Şekilden de görüldüğü gibi 4 binary bilgi girişi ve bu girişlerden istenilen birini seçmek için 2 seçme (select) hattı mevcuttur. Seçme ucuna uygulanacak seçme bilgisine göre istenilen bilgi seçilmiş ve çıkışa aktarılmış olur. Multiplexer devre ayrıca bilgi seçici (data selector) olarak da adlandırılır. Şekil 2'deki devrede 1 bitten oluşan 4 farklı dijital bilgiden sadece bir tanesi seçilmekte idi. Çoğullanacak bilginin 1 bitlik değil de daha fazla olması durumunda aynı mantıktan hareket ederek gerekli multiplexer devresi kurulabilir. Örnek olarak  $A_4 A_3 A_2 A_1$  ve  $B_4 B_3 B_2 B_1$  bilgi bloklarının çoğullanmasını ele alırsak böyle bir işlemi yapacak multiplexer Şekil 3'da görüldüğü gibidir (74157). Şekilde görüldüğü gibi  $S=0$  olduğunda A bilgi bloğu,  $S=1$  olduğunda B bilgi bloğu seçilerek çıkışa aktarılır. Böyle bir multiplexer dörtilü  $2 \times 1$  multiplexer olarak adlandırılır.



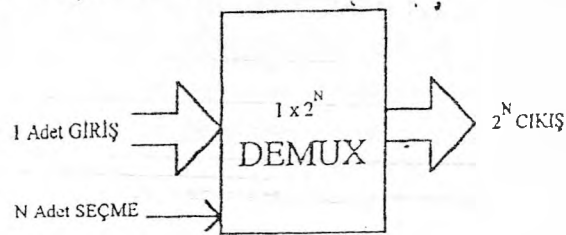
Şekil 2. 4x1 Multiplexer ve doğruluk tablosu



Şekil 3. Dörtlü 2x1 multiplexer

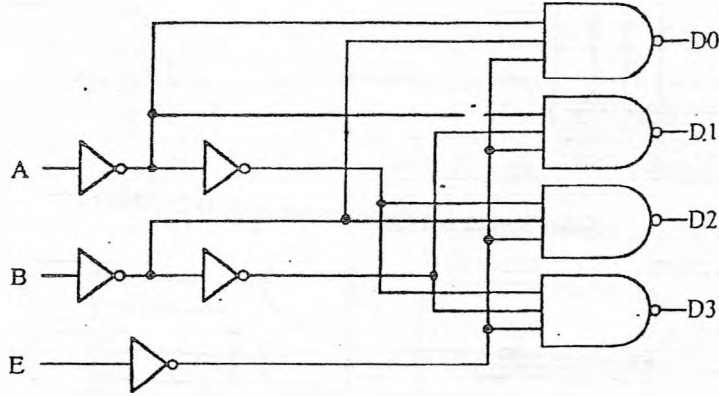
## B. DEMULTIPLEXER

Demultiplexer devre multiplexer devrenin tersi işlem yapan kombinyonel bir devredir. Bir demultiplexer devre tek bir giriş hattından aldığı bilgiyi N seçme (select) hattına uygulanan seçme bilgisine göre  $2^N$  hattan birini iletir. Şekil 4'de görüldüğü gibi 1 girişe,  $2^N$  çıkışa ve N seçme ucuna sahiptir,



Şekil 4. Demultiplexer devresinin genel gösterilişi

Genel olarak multiplexer devreleri 1x2, 1x4, 1x8, 1x16, .. olarak gerçekleştirilir. Şekil 5'de 1x4 demultiplexer devresi görülmektedir. Bu devre aynı zamanda 2x4 decoder devresidir. Aralarında uygulama farkı şudur; Decoder devrede girişin uygulandığı hatlar demultiplexer devrede seçici uç olarak kullanılır. Decoder devredeki ENABLE ucu ise demultiplexer devrede bilgi girişi olarak kullanılır.



Şekil 5. 1x4 Demultiplexer Devresi ve doğruluk tablosu

#### DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI

- |                         |                           |
|-------------------------|---------------------------|
| 1. 1 adet Protoboard    | 7. 1 adet 74LS157         |
| 2. +5 V Besleme Kaynağı | 8. 1 adet 74LS04          |
| 3. 1 adet AVO Metre     | 9. 10 adet LED            |
| 4. 1 adet 74LS151       | 10. 1 adet 270 ohm Direnç |
| 5. 1 adet 74LS153       | 11. Bağlantı Kabloları    |
| 6. 1 adet 74LS155       |                           |

#### DENEY ÇALIŞMASI

- 74151 IC paketi ile 8x1 multiplexer devresini kurup çalışmasını inceleyiniz.
- 74157 IC paketi ile 4 bit A ve B bilgilerini çoğullayınız. (Dörtlü 2x1 multiplexer)
- 74LS153 ve 74LS177 IC paketleri ile 8x1 multiplexer devresini kurup çalışmasını inceleyiniz.
- 74155 IC paketi ile 1x4 demultiplexer devresini kurup çalışmasını inceleyiniz.

#### SORULAR

- 2x1 MUX'lar yardımı ile 16x1 MUX devresini gerçekleştiriniz.
- 4x1 MUX'lar yardımı ile 16x1 MUX devresini gerçekleştiriniz.
- 4x1 DEMUX'lar yardımı ile 8x1 DEMUX devresi gerçekleştiriniz.
- 4x1 DEMUX'lar yardımı ile 4'er bitlik gurupları seçebilen DEMUX devresi gerçekleştiriniz.

## ARDIŞIK LOJİK DEVRELER - I

### KONU

Ardışık devrelerin temeli olan FLIP-FLOP devrelerinin çalışma esaslarının incelenmesi ve gerçekleştirilmesi.

### ÖN BİLGİ

#### GİRİŞ

Önceki deneylerde kombinyonel lojik devre elemanlarından DECODER, ENCODER, MULTIPLEXER ve DEMULTIPLEXER devreleri incelenmişti. MSI Lojik devre elemanlarının diğer grubu ise ardışık (Sequential) lojik devre elemanlarıdır. Bir ardışık devre; bir flip-flop grubundan ve kapı devrelerini kapsayan bir kombinyonel devreden oluşur. Bir ardışık devrede temel eleman flip-floplardır. Çünkü böyle bir devreden flip-flop çıkarıldığında geriye kalan devre sadece bir kombinyonel devredir. O halde; kombinyonel bir devreyi ihtiva etmeyen ve sadece flip-floplardan oluşan bir devreyi de ardışık devre olarak adlandırabiliriz.

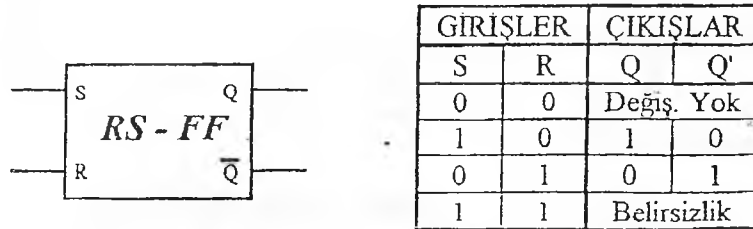
Bu deney çalışmasında ardışık lojik devrelerin temelini teşkil eden FLIP-FLOP'lar incelenecektir.

Bilindiği gibi flip-floplar (FF) temel depolama birimleridir. Her flip-flop bir bitlik digital bilgiyi (0 veya 1) üzerinde depolayabilir. Temel olarak dört flip-flop tipi vardır. Bunlar;

- RS Flip-flop
- D tipi Flip-flop
- JK tipi Flip-flop
- T tipi Flip-flop

#### A. RS FLİP-FLOP

Şekil 1'de görüldüğü gibi RS FF'un S(set) ve R(reset) olmak üzere iki girişi, Q ve Q' olmak üzere iki çıkışı bulunmaktadır. Q çıkışı RS FF'un o andaki durumunu gösterir. Eğer Q=1 ise FF "Set" edilmiş, Q=0 ise FF "Reset" edilmiş demektir.

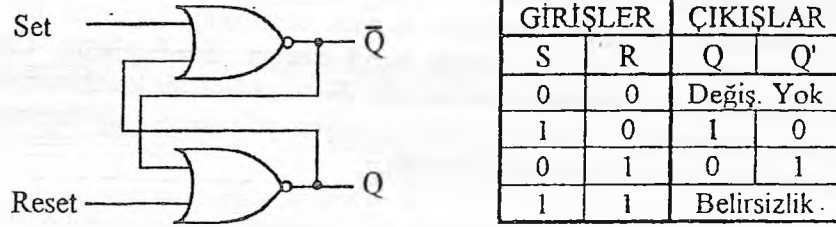


Şekil 1. RS flip-flop ve doğruluk tablosu

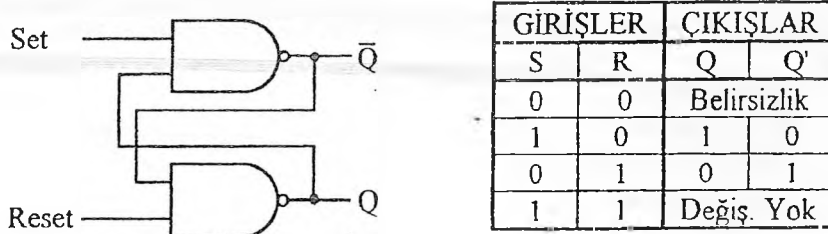
RS FF'u NAND ve NOR kapıları yardımı ile iki ayrı şekilde gerçekleştirilebilir. Şekil 2 ve 3 'de bu flip-flop çeşitleri ve doğruluk tabloları görülmektedir. Doğruluk tablolarından da görüleceği gibi NAND ve NOR kapıları ile yapılan RS FF'lar arasında küçük bir fark

vardır. S ve R girişlerinin aynı olduğu durumlarda, (S,R=1 ve S,R=0) NOR kapıları ile yapılan FF'un çıkışları ile NAND kapıları ile yapılan FF'un çıkışlarının değişik durumlara sahip olduğuna dikkat ediniz (Şekil 2 ve 3).

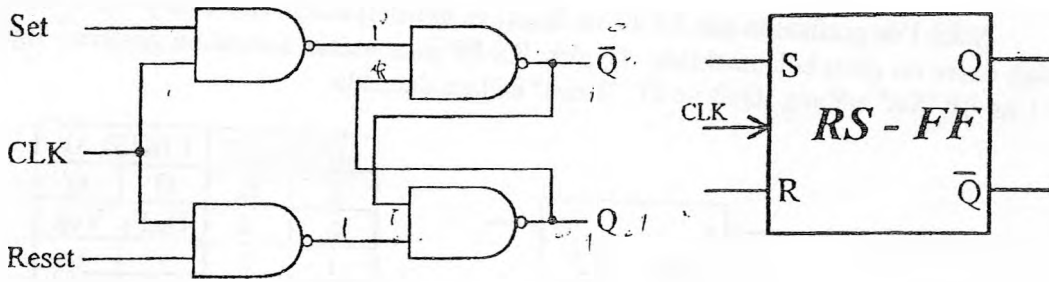
Burada sözü edilen RS FF'lar asenkron bir çalışma göstermektedir. Bunun anlamı şudur; FF'un S ve R girişlerine uygulanan lojik değerler değiştiğinde çıkışlar girişlere bağlı olarak direkt etkilenecektir. RS FF bazı ilavelerle eşzamanlı (senkron) çalışır duruma getirilebilir. Yani FF'un girişlerindeki herhangi bir değişiklik çıkışa hemen aktarılamaz. Aktarma işlemi için bir kontrol devresine ihtiyaç vardır. Bu durum ise RS FF'a bir CLK (clock) girişi eklemekle sağlanabilir. Şekil 4'de senkron olarak çalışan CLK girişli bir RS FF devresi görülmektedir. Burada CLK=0 olduğunda FF'un S ve R girişlerine ne değer verilirse verilsin Q ve Q' çıkışları girişlerden etkilenmeyecektir. CLK=1 olduğunda FF normal çalışmasını gösterecektir. Sonuç olarak; FF'un çalışması CLK girişine bağlıdır.



Şekil 2. NOR kapıları ile yapılmış RS FF ve doğruluk tablosu



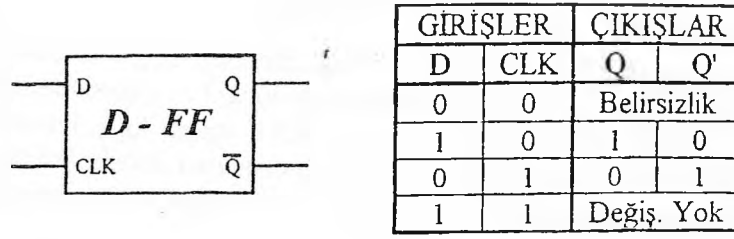
Şekil 3. NAND kapıları ile yapılmış RS FF ve doğruluk tablosu



Şekil 4. CLK girişli RS flip-flop

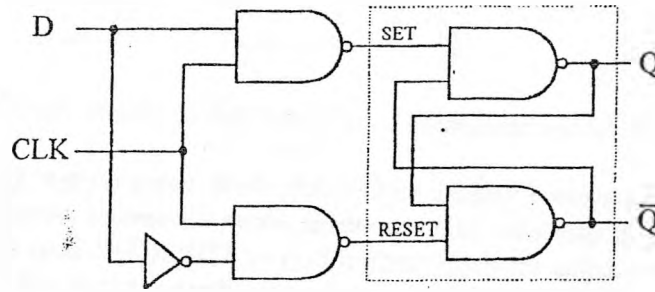
### B. D TİPİ FLİP-FLOP

D tipi FF tek girişli bir depolama birimidir. Bu giriş D(data) girişi olarak adlandırılır. D Girişine uygulanan bilgi (0 veya 1) çıkışa CLK girişine uygulanan bir işaret yardımı ile aktarılır. Şekil 5'de D tipi FF'un sembolik gösterimi ve doğruluk tablosu görülmektedir.



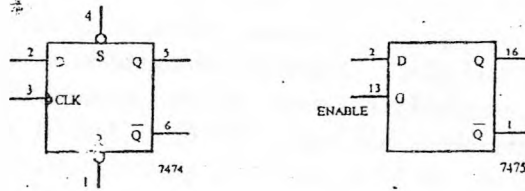
Şekil 5. D tipi FF ve doğruluk tablosu

D tipi FF, RS FF'a bazı değişiklikler yapılarak elde edilir. Bu değişiklik sadece RS FF'un girişleri arasında bir INVERTER eklenerek sağlanır. Şekil 6'da CLK girişli bir RS FF yardımıyla elde edilen D tipi FF görülmektedir.



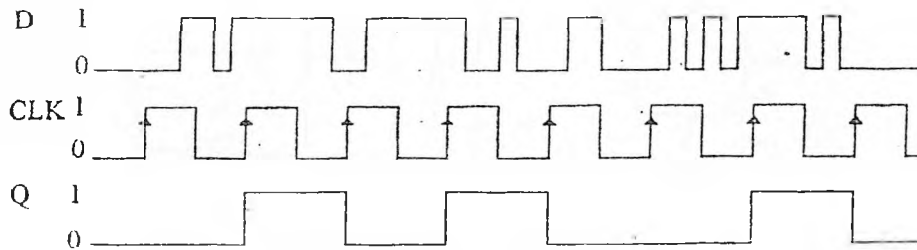
Şekil 6. RS FF yardımıyla gerçekleştirilmiş D tipi FF

Birbirlerinden farklı özelliklere sahip çeşitli D tipi FF'lar mevcuttur. Bu tipler FF'un CLK girişine uygulanan zamanlama (clock) işaretinin algılanmasına göre; kenar tetiklemeli (edge-sensitive) ve seviye tetikleme (level-sensitive) flip-floplar olmak üzere iki gruba ayrılırlar. Seviye tetiklemeli FF'lar genellikle LATCH olarak adlandırılırlar. Bu iki grup FF'u birbirlerinden ayırd etmek için kenar tetiklemeli FF'un CLK girişine (>) işareti konur (Şekil 7).



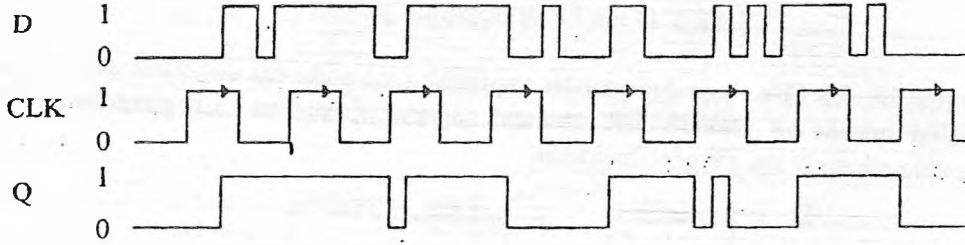
Şekil 7. A) Kenar tetiklemeli D FF B) Seviye tetiklemeli D FF

Kenar tetiklemeli D tipi FF'un çalışması şöyledir. Şekil 8 'de görüldüğü gibi CLK işareti gelinceye kadar Q çıkışı değerini korur. Yeni gelen CLK işareti ile D deki bilgi yeniden Q çıkışına aktarılır.



Şekil 8. Kenar tetiklemeli D tipi FF ve çalışma durumu

Seviye tetiklemeli D tipi FF'un (LATCH) çalışması şöyledir. Şekil 9'da görüldüğü gibi CLK işaretinin lojik 1 seviyesine geçtikten ve lojik 1 seviyesinde kaldığı sürece D girişindeki bilgi olduğu gibi Q çıkışına aktarılır. CLK işareti lojik 1 seviyesinden lojik 0 seviyesine geçtiği anda D girişindeki en son bilgi Q çıkışına LATCH (kilitlenmiş) olacaktır. Dolayısıyla CLK işaretinin yeniden lojik 1 olmasına kadar çıkış değişmeyecektir.

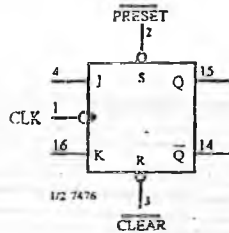


Şekil 9. Seviye tetiklemeli D tipi (LATCH) ve çalışma durumu

D tipi FF'larda ayrıca PRESET ve CLEAR olmak üzere iki ayrı giriş mevcuttur. Bu iki giriş D tipi FF'un girişlerinden bağımsız olarak FF'un durumunu asenkron olarak etkiler. PRESET = 0 iken Q daima set durumunda ( $Q=1$ ) ve PRESET=1 iken FF normal çalışma özelliklerini gösterir. CLEAR=0 iken Q daima reset durumundadır ( $Q=0$ ) ve CLEAR=1 iken FF normal çalışma özelliğini devam ettirir. Yani FF'un normal çalışabilmesi için bu iki girişinde lojik 1 seviyesinde olması gerekir. Bu iki giriş kesinlikle aynı anda kullanılmamalıdır (boşta çalışmada her ikisi de lojik 1, aktif hale getirmede biri lojik 1 iken diğeri lojik 0; PRESET=CLR=0 durumu tanım gereği kesinlikle uygulanmamalıdır).

### C. JK FLİP FLÖP

Bir JK FF, beş girişe (J,K,CLOCK,PRESET,CLEAR) iki çıkışa (Q ve Q') sahiptir. Şekil 10 JK FF'un sembolik şeklini ve doğruluk tablosunu göstermektedir. PRESET ve CLEAR girişleri D tipi FF'daki gibidir. Doğruluk tablosundaki sonuçlar CLK girişi aktif olduğu zaman elde edilen sonuçlardır. Doğruluk tablosundanda görüleceği gibi JK FF, RS-FF'a oldukça benzer. Aralarındaki fark şudur; RS FF'un her iki girişinin lojik 1 olması durumunda sonuç belirsiz idi. JK FF'da ise her iki girişinde lojik 1 olması durumunda ve CLK girişi uyarıldığında Q çıkışı bulunduğu son durumun tersi duruma sahip olur. Bu çalışma durumunda CLK uçlarına uygulanan clock darbelerinin frekansı ikiye bölünür. Bu özelliğinden dolayı sayıcı dizaynlarında en çok kullanılan FF tipidir.



GİRİŞLER		ÇIKIŞLAR	
J	K	Q	Q'
0	0	Değişiklik Yok	
1	0	1	0
0	1	0	1
1	1	Bir Önceki Durum	

Şekil 10. JK FF ve doğruluk tablosu

**DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI**

- |                         |                           |
|-------------------------|---------------------------|
| 1. 1 adet Protoboard    | 8. 1 adet 74LS74          |
| 2. +5 V Besleme Kaynağı | 9. 1 adet 74LS75          |
| 3. Osiloskop            | 10. 1 adet 74LS76         |
| 4. Frekans Jenaratörü   | 11. 5 adet LED Diyot      |
| 5. 1 adet 74LS00        | 12. 1 adet 270 ohm Direnç |
| 6. 1 adet 74LS02        | 13. Bağlantı Kabloları    |
| 7. 1 adet 74LS04        |                           |

**DENEY ÇALIŞMASI**

1. Şekil 2,3 ve 4'deki devreleri kurup doğruluk tablolarını çıkarınız.
2. Şekil 6'daki devreyi kurup, RS FF yardımı ile D tipi FF gerçekleştiriniz. Doğruluk tablosunu çıkarınız.
3. Şekil 7.a. ve 7.b.'daki D tipi FF'ların çalışmalarını 7474 ve 7475 IC paketleri yardımıyla inceleyiniz ve aralarındaki farkı gözleyiniz.
4. Şekil 10'daki JK FF doğruluk tablosunu 7476 IC paketi yardımıyla çıkarınız.
5. JK FF'un J ve K girişleri lojik 1 seviyesinde iken CLK girişine 1 Hz.bir kare dalga uygulayıp Q çıkışında elde edilen dalga formunu gözleyiniz ve yorumlayınız.

**SORULAR**

1. Şekil 7.A. ve 7.B.'daki FF'ların CLK girişlerine INVERTER ilave edildiğinde çalışmalarını şekil çizerek açıklayınız.
2. 5. Deney çalışmasında ki JK FF'un Q çıkışını aynı özelliklere sahip diğer bir JK FF'un CLK girişine bağlandığında en son FF'un Q çıkışında elde edilen dalga şeklini çizerek anlatınız.
3. T-tipi FF hakkında bilgi veriniz. Doğruluk tablosunu çıkararak hangi FF'u kullanarak T-tipi FF elde edebileceğimiz konusunda fikir yürütünüz.
4. Sadece NAND kapıları kullanarak S, R, CLK, PRESET ve CLEAR girişlerine sahip RS-FF devresi dizayn ediniz.

## ARDIŞIK LOJİK DEVRELER - II

### KONU

Ardışık devrelerden olan REGISTER (Kaydedici) devrelerinin ve SHIFT REGISTER (Kaydırmalı kaydedici) devrelerinin kurulması ve çalışma esaslarının incelenmesi.

### ÖN BİLGİ

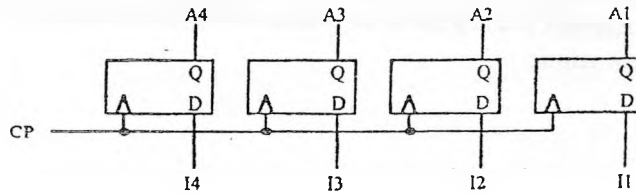
#### GİRİŞ

Bu deney çalışmasında ardışık lojik devrelerden REGISTER ve SHIFT REGISTER incelenecektir.

#### A. REGISTER

Ardışık devrelerin bir üyesi olan register; bir binary bilgiyi tutmak için kullanılan binary depolama hücreleri (flip-flop) grubundan oluşan bir devre olarak tanımlanabilir. N-bitlik bir register N adet flip-floptan oluşur ve N-bit binary bilgiyi depolar. Bu register devresi flip floplar haricinde kapılardan oluşan kombinyasyonel bir devreyi de bünyelerinde bulundurabilirler. Böyle bir devrede flip-floplar binary bilgiyi depolama görevini, kapı devrelerinden oluşan kombinyasyonel devre ise binary bilginin registere ne zaman ve nasıl depolanacağını kontrol eder. (Bakınız Şekil 3)

MSI devre olarak elde edilebilecek birçok değişik register tipi mevcuttur. En basit register ise yardımcı kapı devreleri kullanılmaksızın sadece D tipi flip-floplardan oluşan registerdir. Şekil 1, D tipi flip-floptan oluşan 4 bitlik basit bir registere örnektir.



Şekil 1: 4 Bit register

Clock sinyal girişi (CP) dört girişte bulunan bilgilerin (I<sub>4</sub>-I<sub>1</sub>) registere depolanmasını sağlar. Clock sinyalinin uygulanması ile 4-bitlik binary bilgi 4-bit registere kaydedilmiş olur ve depolanmış bilgiler registerin çıkışından da (A<sub>4</sub>-A<sub>1</sub>) gözlenebilir.

Bir register dizaynında en önemli nokta; kullanılacak flip-flop'ların tetikleme tipine (clock girişi) karar vermektir. Eğer flip-flop'lar D tipi latch'lerden seçilmişse, D girişlerindeki bilgiler CP=1 iken Q çıkışlarına transfer edilecektir ve CP=1 olduğu sürece D girişlerindeki bilgiler sürekli Q çıkışlarına aktarılacaktır. CP=0 olduğu anda ise D girişindeki bilgiler Q çıkışında tutulmuş olacak, CP=1 oluncaya kadar böyle kalacaktır. Bir başka deyişle CP=0 olduktan sonra D girişlerine uygulanacak bilgiler Q çıkışlarına aktarılamayacaktır. Burada sözü edilen flip-flop grubu clock palsinin süresine duyarlıdır (seviye tetikleme) ve LATCH olarak anılır. CP girişi ise G şeklinde isim değiştirir. Önemli bir not olarak bilinmelidir ki: Clock palslerinin süresine duyarlı flip-floplar register

düzenlemesinde kullanılmamalıdır. Diğer bir deyişle; ardışık devrelerde clock palsinin geçiş zamanına duyarlı flip-flop'lar (kenar tetiklemeli) tercih edilmelidir.

Bunun nedeni ise şudur; clock darbe süresine duyarlı flip-flop'lar grubuna bir bilgiyi kaydetmek için (saklı tutma) clock darbe süresinin pozitif (düşme) veya negatif (yükselme) darbe süresinin değişim gösterdiği anı beklemek gerekir (6. deneyde seviye tetiklemeli D tipi flip-flop lann çalışmasına bakınız). Bu süre ise bilginin kayıt edilmesinde bir zaman gecikmesini meydana getirir. Bu durum kullanımda ise bazı karışıklıklara yol açabilir. Buna karşılık, clock darbesinin sadece geçiş anına bağımlı olarak çalışan flip-floplar (kenar tetiklemeli) üzerinde depolanacak bilgi, clock palsinin bir seviyeden diğer seviyeye geçtiği anda (seviye değişme anı) flip-floplar üzerinde depolanacağından herhangi bir zaman gecikmesi söz konusu olmayacaktır. Bu durumda daha güvenilir bir depolama işlemi yerine getirilmiş olacaktır.



Şekil 2 : Pozitif clock palsi

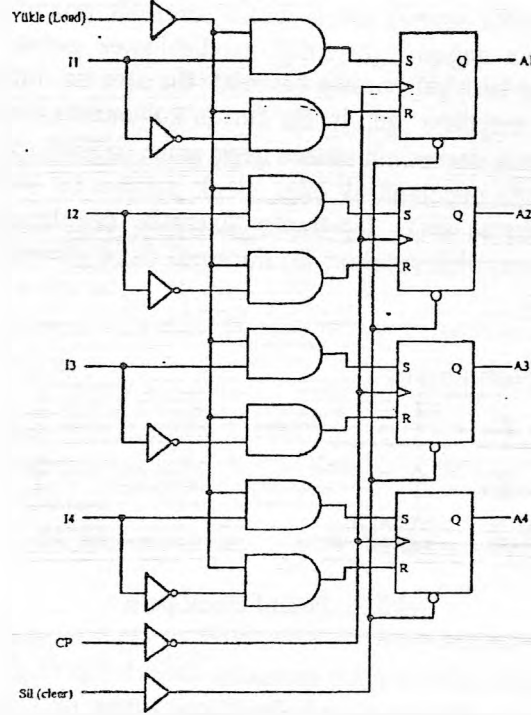
Sonuç olarak; clock palsinin geçiş zamanına duyarlı flip-flop'lar grubu REGISTER, buna karşılık clock palsinin süresine duyarlı flip-floplar grubu ise LATCH olarak anılır.

Bir registre yeni bilgileri transfer etme işlemi, registeri yükleme (loading) olarak anılır. Eğer registre bütün bilgiler aynı anda tek bir clock palsi ile yükleniyorsa, register paralel olarak yüklenmiş denir. Şekil 1'deki register devresinde girişlerdeki bütün bilgiler paralel olarak CP girişine uygulanan tek bir clock palsi ile yüklenmektedir. Diğer bir deyişle, CP registre yeni bilgilerin depolanmasını kontrol eden bir ENABLE sinyali olarak da tanımlanabilir.

Şekil 3'deki devrede ise RS flip-floplardan oluşan ve yükleme kontrol girişine (Load Control Input) sahip 4-bitlik bir register görülmektedir. Bu devre Şekil 1'den farklı yapıdadır. Depolamak istenen bilgiler LOAD kontrol girişi ile AND'lenerek RS flip-flop girişlerine uygulanmaktadır. Bunun anlamı ise depolama işleminin LOAD kontrol girişine bağımlı olmasıdır.

Clock darbeleri sürekli şekilde flip-floplara uygulanmasına karşılık LOAD kontrol girişi registerin işlemlerini kontrol eden giriş durumundadır. Şekil 3' den görüldüğü gibi iki AND kapısı, bir INVERTER ve I girişi yardımı ile flip-flopun R ve S girişine uygulanacak bilgi tayin edilmiş olacaktır. Eğer LOAD=0 ise R ve S her ikisi de lojik 0 değerine sahip olacaktır ve flip-flop durumunu değiştirmeyecektir. Yani I girişindeki bilgi flip-flop girişine uygulanmamış olacaktır. LOAD=1 olduğunda I girişine uygulanan bilgi; iki AND kapısı ve bir INVERTER den oluşan kombinasyonel devre yardımı ile de flip-flop'a depolanmış olacaktır.

Clear girişi ise registerin üzerinde depolanmış olan bilgilerin silinmesini sağlar.  $CLEAR=0$  olduğunda depolanmış bilgiler silinir ve  $CLEAR=1$  olduğunda register etkilenmeden normal çalışma özelliklerini sürdürür.

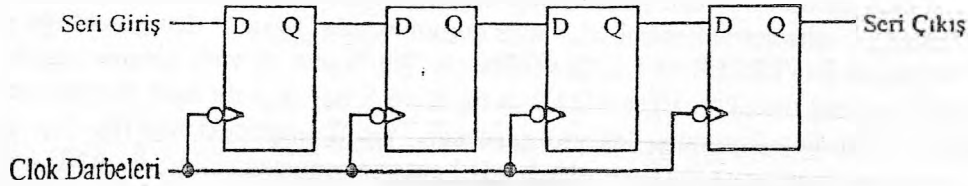


Şekil 3 : 4 Bit register (paralel yüklemeli)

## B. SHIFT REGISTER

Üzerindeki bilgiyi sağ ya da sol doğrultuda kaydırabilen registre SHIFT REGISTER denir. Bir shift registerin yapısı arka arkaya kaskad olarak bağlanmış flip-floplar (FF) zincirinden oluşur. Bu yapıda her FF'un çıkışı bir sonraki FF'un girişine bağlanmaktadır ve bütün FF'ların clock girişleri paralel bağlanmıştır. En basit shift register Şekil 4'de de görüldüğü gibi sadece flip-floplardan oluşur. Her clock darbesi sonunda registerlerdeki bilgiler bir bit sağa kaydırılmış olur. Kaydırma işlemi (shift operation) esnasında shift registerde kaydırılacak bilgiler seri girişten uygulanır.

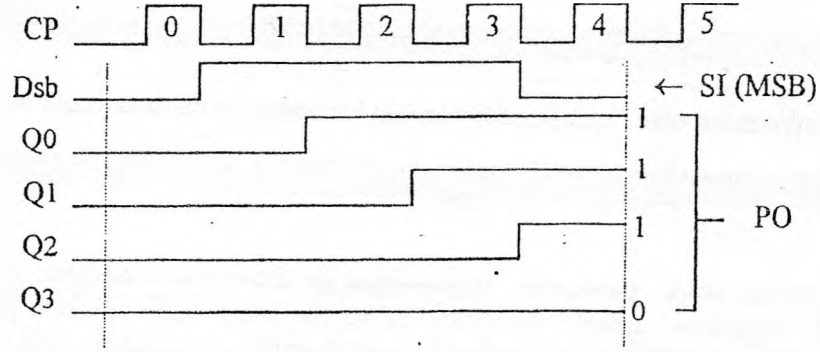
Şekil 4. En basit Shift Register.



Shift registerin seri çıkışından her kaydırma işlemi sonunda çıkışa aktarılabilecek bilgiler edilmiş olur. Ayrıca her flip-flop'un Q çıkışları, beraberce paralel çıkış olarak da kullanılabilir.

Genel olarak shift registerler paralel digital bilgileri seri digital bilgiye, ya da seri digital bilgiyi paralel digital bilgiye dönüştürebilirler. Ayrıca bu çevrimler esnasında çevrimin yönü de seçilebilir. (74164 ve 74165 entegrelerine bakınız)

Örnek olarak seri bilginin paralele çevrilmesini inceleyelim. Dört bitlik shift registerde ilk olarak 0111 digital bilgisi depolu olduğu kabul edilirse, Shift registerde uygulanacak her clock darbesinde bir bit sağa kayacak ve 4 clock darbesi sonunda ise daha önce depolanmış bulunan bilginin tamamı seri çıkıştan dışarıya atılmış olacaktır. Bu olaylar sırasında seri girişten uygulanan bilgiler shift registerde depolanmış olacaktır. (Şekil 5). Bu esnada shift registerdeki kaydırma işleminin sağa doğru olduğuna dikkat ediniz.



Şekil 5. Shift registerde kaydırma işlemindeki adımlar

### DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI

- |                         |                          |
|-------------------------|--------------------------|
| 1. 1 adet Protoboard    | 6. 1 Adet 74LS165        |
| 2. +5 V Besleme Kaynağı | 7. 1 Adet 74LS194        |
| 3. 1 Adet AVO Metre     | 8. 8 Adet LED            |
| 4. 1 Adet 74LS174       | 9. 1 Adet 270 ohm direnç |
| 5. 1 Adet 74LS164       | 10. Bağlantı kabloları   |

### DENEY ÇALIŞMASI

- 74LS174 IC paketi yardımı ile 6 bitli Registeri kurunuz. Girişlerine rasgele bilgiler vererek bu bilgileri kayıt etmeye çalışınız.
- 74LS164 IC paketi yardımı ile 10101010 ve 11110000 seri bilgilerini paralel bilgilere dönüştürünüz.
- 74LS165 IC paketi yardımı ile 10101010 ve 11110000 paralel bilgilerini seri bilgilere dönüştürünüz.
- 74LS194 IC paketi yardımı ile herhangi bir seri bilgiyi sağa ve sola kaydırarak paralele çeviriniz.

### SORULAR

- Şekil 3'deki register devresini D tipi flip-floplarla gerçekleştiriniz.
- 4-bitlik bir shift registerde yüklü bulunan bilgiyi seri olarak başka bir 4-bitlik shift registerde aktarmak istenmektedir. Gerekli devreyi blok şema olarak düşününüz ve transfer işlemlerini adım adım tablo halinde gösteriniz.

## SAYICILAR - I

### KONU

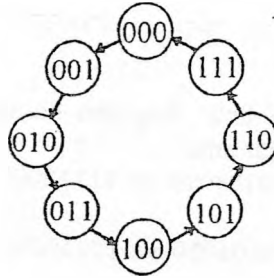
Ardışık devrelerden olan SAYICI devrelerinin kurulması ve çalışma esaslarının incelenmesi.

### ÖN BİLGİ

#### GİRİŞ

Girişine clock palslarının uygulanması ile durumunu, önceden bilinen bir sıra dahilinde değiştiren ardışık devrelere sayıcı (counter) denir. Sayma palsları (count pulses) olarak ta bilinen giriş palsları bir clock palsı üreticinden sağlanabileceği gibi, harici başka bir kaynaktan belirli zaman aralıklarında ya da rasgele (random) de sağlanabilir. Sayıcılar digital lojik devreleri kapsayan hemen hemen her sistemde yaygın olarak görülen devrelerdir. Genel olarak; belirli bir olayın kaç kere oluştuğunun sayılmasında ve dijital sistemlerde işlemlerin kontrol edilmesi için gerekli olan zamanlamanın elde edilmesinde kullanılırlar.

Binary bir sırayı takip eden bir sayıcı; binary sayıcı olarak adlandırılır ve n-bitlik bir binary sayıcı n-adet flip-flop'tan oluşur. n-bitlik bir binary sayıcı, binary form da 0(Sıfır)' dan  $2^N-1$  e kadar sayar. 3-bitlik bir sayıcının durum diyagramı Şekil 1'de görülmektedir.



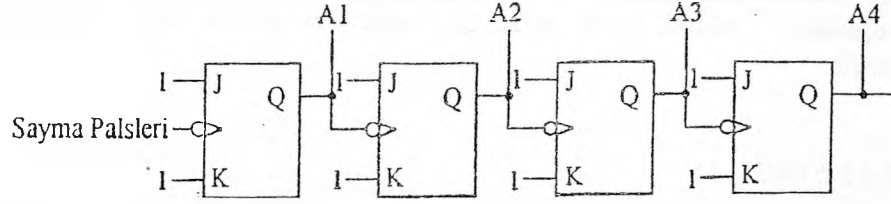
Şekil 1. Üç bitlik binary sayıcı için durum diyagramı

Şekilden de görüldüğü gibi, daireler sayıcının alabileceği her durumu göstermektedir. Her clock palsi uygulandığında sayıcı şekilde görüldüğü gibi bir sonraki durumu alacaktır. Sayıcı 111 durumunda iken maximum sayma değerine ulaşmış olacak ve yeni uygulanan clock palsi yardımı ile tekrar 000 durumuna, yani başlangıç sayma durumuna geçmiş olacaktır. MSI (Medium Scale Integration) sayıcılar genel olarak iki grupta ele alınabilirler. Bunlar; RIPPLE sayıcılar ve SENKRON sayıcılardır.

### A. RIPPLE SAYICILAR

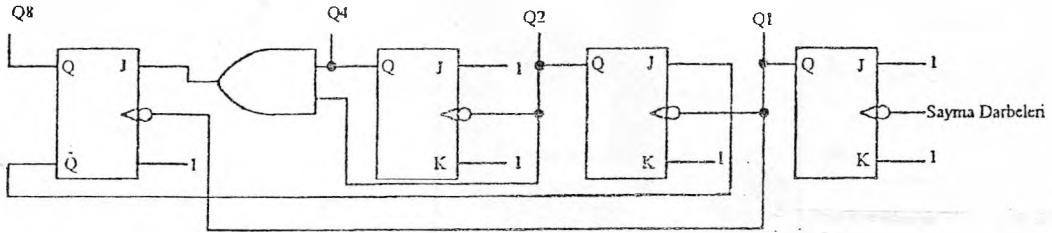
Bir binary ripple sayıcı T yada JK flip-flopların seri olarak birbirlerine bağlanmasıyla gerçekleştirilir. Şekil 2'den de görüldüğü gibi her flip-flop'un çıkışı bir sonraki flip-flop'un CP girişine uygulanmaktadır. Burada ilk flip-flop'un en az ağırlıklı (LSB) bit için kullanıldığına dikkat ediniz. Şekil 2'de 4-bitlik bir binary ripple sayıcı görülmektedir. Her flip-flop'un J ve K girişleri sürekli olarak lojik 1 durumundadır. En az

ağırlıklı bit (LSB) için kullanılan ilk flip-flop'a clock pulsleri uygulanmaktadır. Diğer flip-floplar ise bir önceki flip-flop'un Q çıkışını GP olarak kullanmaktadır.



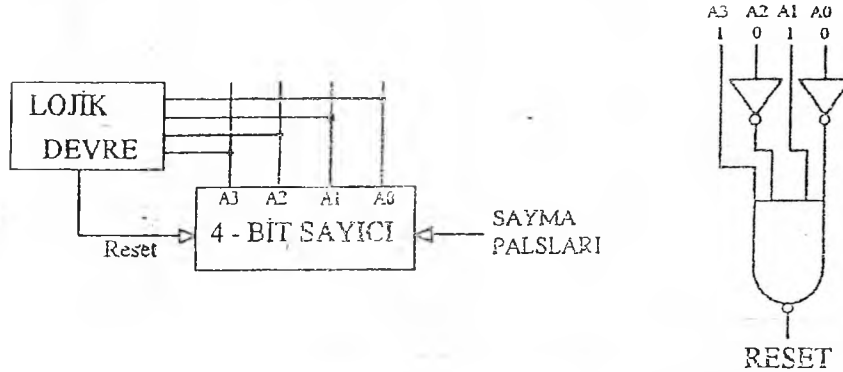
Şekil 2. 4-bitlik binary ripple sayıcı

Sayma işlemi; clock pulslerinin alçalan kenarlarıyla ya da clock pulslerinin 1'den 0'a geçiş anında meydana gelmektedir. Şekil 2 'de görülen ve asenkron sayıcı olarak da adlandırılabilen ripple sayıcı 0000 dan 1111'e kadar sayan bir yukarı sayıcıdır (Up counter). Eğer sayıcının çıkışları her FF'un Q çıkışları yerine Q' çıkışlarından alınmış olsa idi, bu sayıcı 1111 'den başlayıp 0000 'a doğru sayan bir aşağı sayıcı (Down counter) olacaktır. Aşağı doğru sayan bir sayıcı pozitif kenar tetiklemeli FF'larla da gerçekleştirebilirdik. Bu durumda aşağı sayıcının çıkışlarını Q yerine her FF'un Q' çıkışlarından almamız gerekecekti.



Şekil 3. BCD ripple sayıcı

Sayıclar 2,3,4,5... bitlik olabilecekleri gibi istenilen değerlere kadar sayabilecek şekilde de yapılabilir. Örnek olarak Şekil 3 bir BCD sayıcıyı göstermektedir. BCD sayıcı 0000 dan 1001 'e kadar (0-9) sayan özel bir sayıcıdır. Bu sayıcı 1001 değerine ulaştıktan sonra tekrar 0000 durumuna döner.



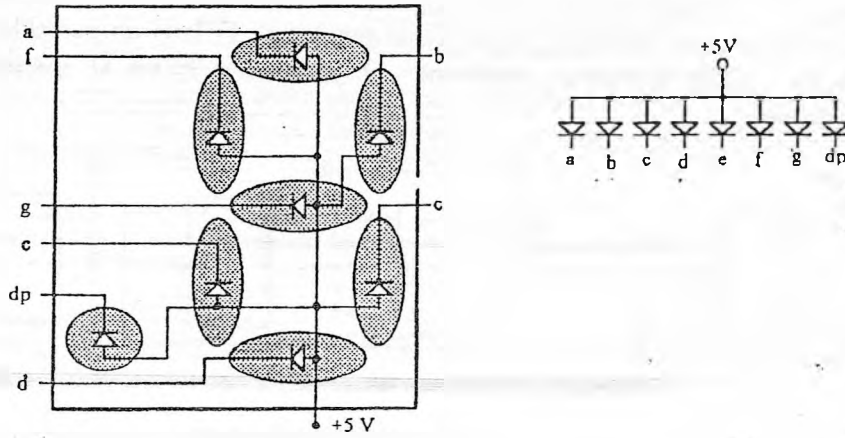
Şekil 4. Sayıcının istenilen değere kadar saydırılması

Pratik olarak, istenilen n değere kadar sayan ve tekrar 0000 durumuna dönen bir sayıcı şöyle kurulabilir. Şekil 4'de görüldüğü gibi istenilen sayma değerine gelindiğinde lojik devre, sayıcının tekrar 0000 durumuna dönmesini sağlayan RESET sinyalini

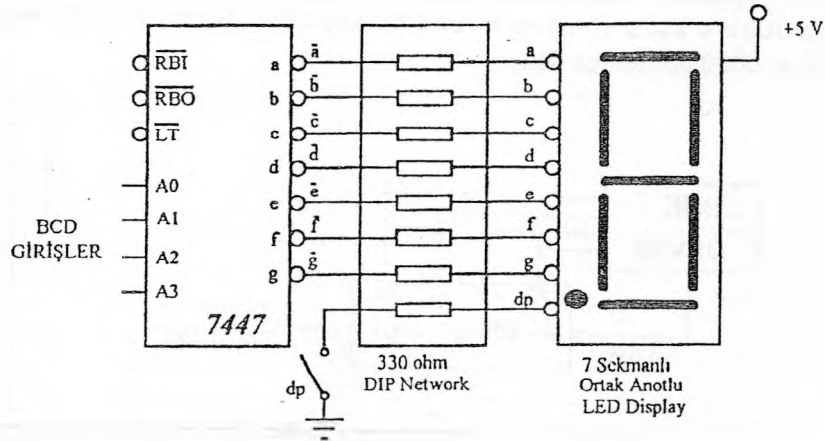
üretecektir. Bu sinyalin üretilmesi ile ve bu sinyalin sayıcıdaki her FF'un CLEAR uçlarına ulaşmasıyla her FF'un çıkışı lojik 0 durumuna gelecek ve başlangıç sayma durumuna geçilmiş olacaktır. 1010'a kadar sayan bir sayıcı için gerekli lojik devre Şekil 4'de görülmektedir.

### B. DISPLAY ETME

Herhangi bir binary bilginin anlamlı bir şekilde gözlenebilmesi için 7-parçalı display (Seven segment display) olarak yedi tane LED'in Şekil 5'da görüldüğü gibi oluşturulması sonucunda elde edilirler. Ortak anod (Common anode) ve ortak katod (Common cathode) olmak üzere iki ayrı tipi vardır. Bir bilgiyi anlamlı şekilde gösterebilmek için bu bilginin özel bir decoder yardımı ile display'a uygulanması gerekir (Şekil 6). Bu decoder; bir binary bilginin display'a nasıl uygulanacağını göstermektedir.



Şekil 5- 7 Sekmanlı display yapısı



Şekil 6-Bir binary bilginin display edilmesi

**DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI**

- |                      |                               |
|----------------------|-------------------------------|
| 1. 1 Adet AVO Metre  | 7. 1 Adet 74LS93              |
| 2. 1 Adet Protoboard | 8. 2 Adet 74LS73              |
| 3. 1 Adet 74LS20     | 9. 2 Adet 270 ohm Direnç      |
| 4. 1 Adet 74LS21     | 10. 1 Adet Ortak Anot Display |
| 5. 1 Adet 74LS47     | 11. 5 Adet LED                |
| 6. 1 Adet 74LS90     | 12. Bağlantı Kabloları        |

**DENEY ÇALIŞMASI**

- 74LS73 IC Paketleri yardımıyla ripple sayıcıyı kurunuz. Çıkışlarına LED bağlayarak çalışmasını gözleyiniz.
- 74LS73 IC Paketleri yardımıyla kurduğunuz ripple sayıcıyı desimal ondört (14) değerine kadar sayan ve duran ripple sayıcı olarak düzenleyiniz. Çıkışlarına LED ve DISPLAY bağlayarak çalışmasını gözleyiniz.
- 74LS90 IC Paketi yardımı ile BCD ripple sayıcıyı kurunuz. Çıkışlarına LED bağlayarak çalışmasını gözleyiniz.
- Yukarıdaki çalışmayı sayıcının çıkışlarına DISPLAY bağlayarak tekrar ediniz.
- 74LS93 IC Paketi yardımıyla 4 bitlik ripple sayıcıyı kurunuz. Çıkışlarına LED, daha sonra DISPLAY bağlayarak çalışmasını inceleyiniz.
- 74LS93 IC paketi yardımı ile kurduğumuz devreyi 0110'a kadar sayan sayıcı olarak düzenleyiniz. Çalışmasını gözleyiniz.

**SORULAR**

- 3 Adet BCD ripple sayıcı yardımı ile 0'dan 999'a kadar sayan ve display eden devreyi gerçekleştiriniz.
- Şekil 2'deki ripple sayıcısındaki negatif kenar tetiklemeli FF yerine pozitif kenar tetiklemeli FF kullanılırsa ne olur? Bu durumu inceleyiniz.
- İleriye ve geriye doğru sayabilen bir sayıcı dizayn ediniz.
- Ripple sayıcı yardımıyla 21'e kadar sayan bir sayıcı dizayn ediniz.

## SAYICILAR - II

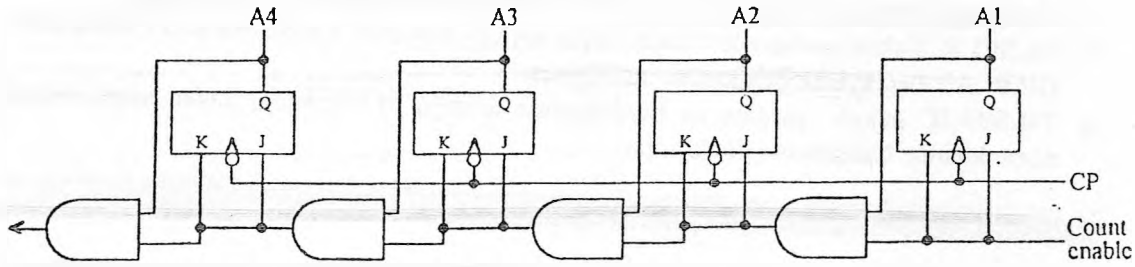
### KONU

Sayıcı tiplerinin incelenmesi ve senkron yapıdaki sayıcı devrelerinin kurulması.

### ÖN BİLGİ

#### A. SENKRON SAYICILAR

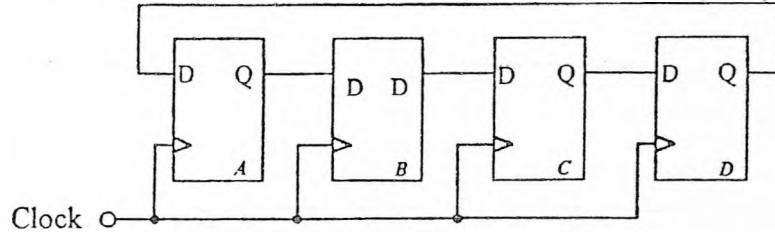
Senkron sayıcıları Ripple Sayıcılardan ayıran en önemli özellik; CP 'nin Senkron sayıcıdaki her flip-flop'a aynı anda uygulanmasıdır. Şekil 1'den de görüldüğü gibi Senkron sayıcılarda her flip - flop'un J ve K girişleri sürekli lojik 1 durumunda değildir. Herhangi bir flip-flop'un J ve K girişlerinin lojik 1 durumuna ne zaman erişeceğini sayıcının sayma düzenine göre bir önceki flip-flop'un Q çıkışı tayin etmektedir.



Şekil 1. 4-bitlik senkron sayıcı

#### B. RING SAYICILAR

Ring sayıcılar özel bir sayma tekniğine sahip sayıcılardır. En büyük özellikleri belirli bir değere kadar sayma işleminden sonra tekrar kendiliğinden başa dönmesidir. Basit bir RING SAYICI devresi Şekil 2'de görülmektedir.



Şekil 2. Temel Ring Sayıcı yapısı

Pratikte çok geniş uygulama alanlarına sahip olan bu sayıcı yapısında en ağırlıklı değere sahip olan FF'un çıkışı en az ağırlıklı değere sahip olan FF'un girişine bağlanarak gerçekleştirilir. İstenilen bir değere kadar sayan ve başa dönen bir RING SAYICI devresi ise Şekil 3'de görülmektedir. Bu yapıda en azından bir FF başlangıçta lojik 1 değerine set edilmiş olmalıdır.



## HAFIZALAR

### KONU

Temel hafıza paketleri kullanılarak yapılan hafıza organizasyonu ve bilgi kaydı (okuma-yazma) işlemlerinin incelenmesi ve devrelerin gerçekleştirilmesi.

### ÖN BİLGİLER

#### GİRİŞ

Günümüzde kullanılan en küçük mikroişlemci sisteminden en büyük bilgisayar (Computer) sistemine kadar bütün bilgisayar sistemleri kullandıkları programları ve bilgileri (DATA) depolayabilmeleri için binlerce bitlik hafıza (MEMORY) birimlerine ihtiyaç duyarlar. Bu ihtiyacın karşılanabilmesi için birçok depolama birimi geliştirilmiş ve kullanıma sunulmuştur. Manyetik Korlar, yarıiletken hafızalar, çeşitli disk tipleri depolama ortamına bir örnek olarak gösterilebilirler. Bu deneyde bu birimlerden sadece yarıiletken hafızalarla ilgilenecektir.

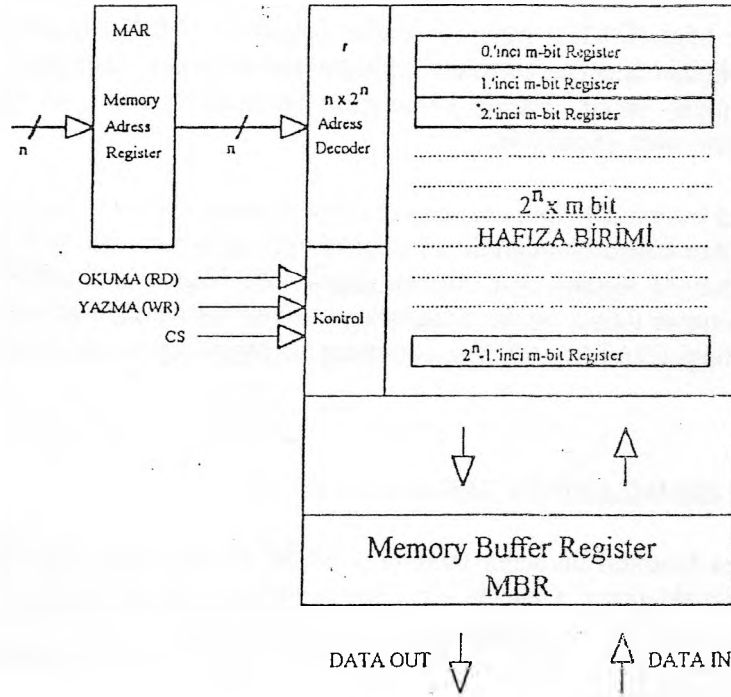
#### A. YARI İLETKEN HAFIZALAR

En basit yarıiletken depolama ya da hafıza birimi; flip-flop'lardan oluşan bir register olarak düşünülebilir. O halde birçok depolama registerinin birlikte organize edilmiş haline HAFIZA BİRİMİ denir. Bir hafıza biriminin depoladığı binary bilgi gruplarının her birine Kelime (WORD) denir (herbir registerdeki bilgi grubu). Her register ya da her kelime hafıza birimi içerisinde belirli bir yerleşime (LOCATION) sahiptir ve her yerleşim de bir numerik adrese sahiptir. O halde; bir hafıza birimini adreslenebilir registerler düzeneği olarak ta tanımlayabiliriz. Bir hafıza biriminin en genel gösterilimi Şekil 1'de görülmektedir.

Şekil 1'den de görüldüğü gibi bir hafıza birimi her biri  $m$  bitten oluşan  $2^n$  registerden  $n$  ya da kelimedenden oluşur. Bu değerler hafıza biriminin boyutları hakkında bilgi vermekle birlikte hafıza biriminin kapasitesini belirleyen parametrelerdir. Hafıza birimini oluşturan her kelime sahip olduğu bit sayısına göre değişik isim alır.

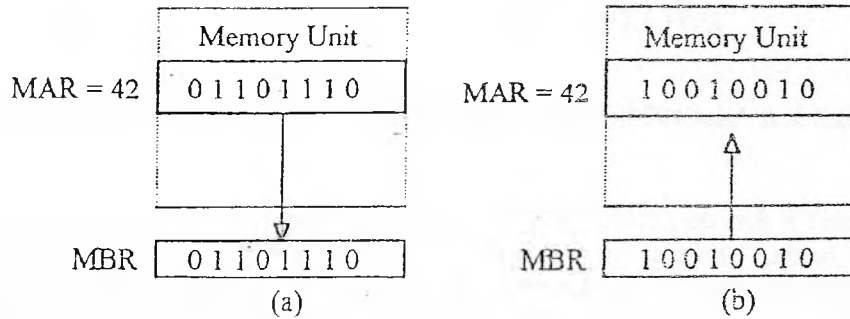
1 NIDDLE	= 4 BIT
1 BYTE	= 8 BIT
1 BYTE	= 2 NIDDLE

Genelleme yapıldığında, bir yarıiletken hafıza biriminin kapasitesi  $2^n \times m$  bit olarak gösterilir. Burada  $2^n$  ; yarıiletken hafıza biriminin sahip olduğu adreslenebilir kelime ya da register sayısını,  $m$  ise; her bir registerin sahip olduğu bit sayısını gösterir. Eğer  $n = m = 8$  olduğu durumda hafıza 256 Byte olarak adlandırılır. Geniş hafıza birimlerinin adlandırılmasında 1024'e ( $2^{10}$ ) eşdeğer olarak K harfi kullanılır. O halde; 1024x8 bitlik bir hafıza birimi kısaca 1Kx8 bitlik hafıza birimi de 2KByte olarak adlandırılabilir.



Şekil 1. Genel bir hafıza blok diyagramı

Önceden de belirtildiği gibi hafıza birimindeki okunabilen ve yazılabilen her register, belirli bir adrese sahip olan adreslenebilir registerlerdir. O halde okuma ya da yazma işlemlerinin gerçekleştirileceği registerlerin seçilebilmesi gerekmektedir. Bu seçme işleminin gerçekleştirilebilmesi için yarıiletken hafızalar kapasitelerine bağlı olarak belirli sayılarda adres girişlerine sahiptirler.  $2^n \times m$  bitlik bir hafıza birimi ( $n$ ) adres girişine sahiptir.  $1024 \times 8$  bitlik bir hafıza birimi ( $2^n = 1024 = 2^{10}$ ,  $n = 10$ ) 10 adres girişine ihtiyaç duyar.  $2048 \times 8$  bitlik bir hafıza birimi ise 11 adres girişine ihtiyaç duyacaktır. Bu adres girişlerine binary bilgi uygulamasına karşılık, hafıza biriminin içindeki  $n \times 2^n$  boyutundaki decoder istenilen registeri seçmek için bu binary adres bilgisini decode eder (1KB hafıza birimi  $10 \times 1024$  decodere sahiptir).



Şekil 2. a) Okuma işlemi

b) Yazma işlemi

Bir hafıza biriminde gerçekleştirilen iki önemli işlem okuma ve yazma işlemleridir. Bir hafıza biriminde bir registre bilgi depolamak için, ilk önce depolama işleminin gerçekleştirileceği registerin sahip olduğu adresin **Memory Adres Registerinden (MAR)** hafıza biriminin adres girişine uygulanması gerekir. uygulanan binary adres ile hafıza birimindeki decoder yardımı ile istenilen register seçilmiş olur. Bundan sonra, registre

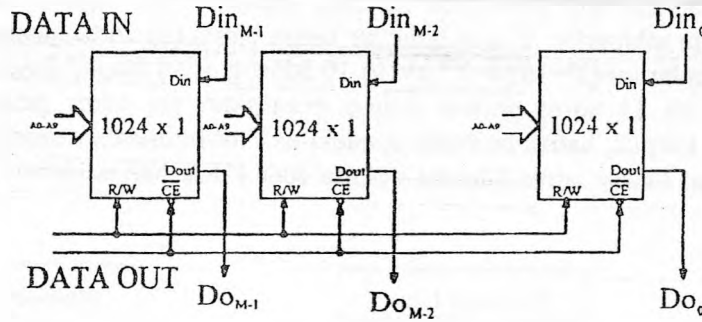
kaydedilecek bilgi (DATA) Memory Buffer Register'e (MBR) uygulanır. Son olarak da kaydedilen bilginin istenilen adresteki registre depolanmasını sağlayacak yazma (WRITE) komutuna ihtiyaç vardır. Yazma komutunun verilmesiyle kayıt ya da depolama işlemi gerçekleştirilmiş olur. (Şekil 2-b).

Hafıza birimindeki herhangi bir registerin okunması için ilk önce okunacak registerin adresi MAR'dan hafıza birimlerinin adres girişlerine uygulanır. Bu yolla, okunacak register decoder yardımıyla seçilmiş olur. Seçilen registerdeki bilginin okunabilmesi için bir okuma (READ) komutuna ihtiyaç vardır. Okuma komutunun verilmesiyle adresi önceden bildirilen registerdeki bilgi (DATA) MBR'ye aktarılmış ve okuma işlemi gerçekleştirilmiş olacaktır. (Şekil 2-a).

### C. HAFIZA BİRİMLERİNİN ORGANİZASYONU

Hafıza birimleri üreticiler tarafından 1K,2K,4K,8K,...gibi kapasitelerde IC paketler halinde üretilmektedirler. Genelde bir mikrokompüter yada mikroişlemci sisteminin hafıza birimi ihtiyacı tek bir IC paketi tarafından karşılanamaz. O halde; mevcut IC paketleri yardımıyla daha geniş kapasitelerde hafıza birimleri organize etmek gerekir. Bu işlem için iki değişik örnek inceleyelim.

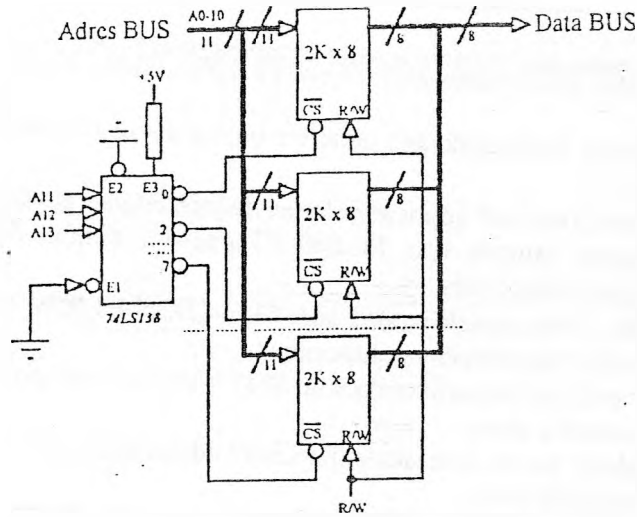
İlk olarak 1024x1 bitlik 8 adet okunabilir /yazılabilir (R/W MEMORY) hafıza paketi yardımıyla 1024x8 bitlik bir hafıza birimi oluşturalım. Şekil 3 böyle bir organizasyonu göstermektedir.



Şekil 3. 8 Adet 1024x1 bitlik hafıza paketleri ile 1024x8 bitlik hafıza biriminin organizasyonu

Şekil 3 den de görüldüğü gibi her hafıza paketi 10 adres girişine ( $A_0-A_9$ ) ihtiyaç duyar. O halde, 10 adres girişi her hafıza paketinin paralel bağlanacaktır. Aynı zamanda okuma (R) ve yazma (W) komutları da her pakete paralel bağlıdır. paralel olarak dizilmiş 8 pakete aynı zamanda CHIP ENABLE sinyali uygulandığında, yeni düzenlenmiş sistem sanki 1024x8 bitlik bir paketmiş gibi okuma ve yazma işlemlerine cevap verecektir.

İkinci örnek olarak 2048x8 bitlik 8 adet okunabilir /yazılabilir hafıza paketi yardımı ile 16Kx8 bitlik yeni bir hafıza paketi organize edelim. Bu işlem önceki örnekten oldukça farklıdır. Çünkü 2048x8 bitlik her paket 11 adres girişine ( $A_0-A_{10}$ ) sahipken 16Kx8 bitlik düzenlenecek sistem 14 adres girişine ( $A_{10}-A_{13}$ ) ihtiyaç duyacaktır. Şekil 4 böyle bir organizasyonu göstermektedir.



Şekil 4. 8 Adet 2Kx8 bitlik paketler yardımı ile 16Kx8 bitlik hafıza birimi organizasyonu

Yapılan işlemi iyi anlayabilmek için yeni düzenlenen sistemin adres haritasını (MEMORY MAP) çıkarmamız gerekir. Tablo 1'den de görüldüğü gibi ilk 11 adres ucu ( $A_0$ - $A_{10}$ ) her 2Kx8 bitlik hafıza paketi için ortak kullanılmaktadır. Diğer 3 adres hattı ( $A_{11}$ - $A_{13}$ )'nın bir 3x8 decodere uygulanması ve decoderin çıkışlarının her paketin CHIP ENABLE girişlerine uygulanmasıyla her paket yeni düzenlenen hafıza biriminin içinde Şekil 4'de görüldüğü gibi bir sıra dahilinde 0 ile 16383 adresleri arasında yeni izafi(relatif) adreslere sahip olacaktır (Tablo 1).

TOPLAM 16Kx8-bit HAFIZA	DESİMAL ADRES	HEXADECİMAL ADRES	Decoder'c Giriş			Her 2Kx8 bit paket için adres												
			$A_{13}$	$A_{12}$	$A_{11}$	$A_{10}$	$A_9$	$A_8$	$A_7$	$A_6$	$A_5$	$A_4$	$A_3$	$A_2$	$A_1$	$A_0$		
1. 2Kx8	0	0000 H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2. 2Kx8	2048	0800 H	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	4096	0FFF H	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
3. 2Kx8	4096	1000 H	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	6144	17FF H	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
4. 2Kx8	6144	1800 H	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	8191	1FFF H	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
5. 2Kx8	8192	2000 H	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	10239	27FF H	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
6. 2Kx8	10240	2800 H	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	12287	2FFF H	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
7. 2Kx8	12288	3000 H	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	14335	37FF H	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
8. 2Kx8	14336	3800 H	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	16383	3FFF H	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Tablo 1.

### DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI

1. 1 adet Protoboard
2. +5 V Besleme Kaynağı
3. 1 adet AVO Metre
4. 2 adet HM6116P Memory
5. 1 adet 74LS89
6. 2 adet 74LS74
6. 1 adet 74LS04
7. 1 adet 74LS138
8. 10 adet LED Diyot
9. 1 adet 270 ohm Direnç
10. Bağlantı Kabloları

**DENEY ÇALIŞMASI**

1. 74LS74 IC paketlerini kullanarak 2x2 bitlik bir hafıza devresi kurunuz. üzerine değişik bilgiler kaydediniz.
2. 74LS89 IC paketinin (16x4 bit) çeşitli adreslerine değişik bilgiler kaydediniz
3. Kaydettiğiniz bilgileri okumak için 74LS89 IC paketini okuma durumuna getirerek okuma işlemlerini gerçekleştiriniz
4. Şekil 4'den ve Tablo 1'den yararlanarak 2 adet 6116 (2Kx8 bit R/W Memory ) IC paketi yardımı ile 4Kx8 bitlik hafıza birimini oluşturunuz.
  - a) Birinci 2Kx8 paketi; hafıza haritasında 0 ile 2047 adresleri arasında, ikinci 2Kx8 paketi 2048 ile 4095 arasında olsun
  - b) Birinci 2Kx8 paketi; hafıza haritasında 0 ile 2047 adresleri arasında, ikinci 2Kx8 paketi 4096 ile 6143 arasında olsun.
5. Deney 3a ve 3b'de belirtilen organizasyonlarda çeşitli adreslere değişik bilgileri kaydetmeye ve bu bilgileri tekrar okumaya çalışınız.
6. Anlık enerji kesilmelerinin kurduğunuz devreler üzerindeki etkilerini inceleyiniz.

**SORULAR**

1. 2 adet 74LS89 IC paketi yardımı ile 16x8 bitlik hafıza birimi dizayn ediniz
2. 4 adet 74LS89 IC paketi yardımı ile 64x4 bitlik hafıza birimi dizayn ediniz
3. 2 adet 2Kx8 ve 2 adet 4Kx8 bitlik IC paketleri yardımı ile 12Kx8 bitlik hafıza birimini dizayn ediniz. Elde edilen yeni sistemin hafıza haritasını ve her paketin sahip olacağı adres sahalarını belirtiniz
4. 1Kx8 bitlik IC paketler yardımıyla 13Kx8 bitlik hafıza dizayn ediniz. Elde edilen yeni sistemin hafıza haritasını ve her paketin sahip olacağı adres sahalarını belirtiniz.
5. 64K'dan büyük adresleme yapabilmek için gerekli devre tasarımları yapınız.

## ARİTMETİK VE LOJİK İŞLEM BİRİMİ (ALU)

### KONU

Mikroişlemci (microprocessor) ve Mikrokontroler (microcontroller) sistemlerinin temel yapıtaşı olan Aritmetik Lojik İşlem Biriminin tanınması ve çalışmasının incelenmesi.

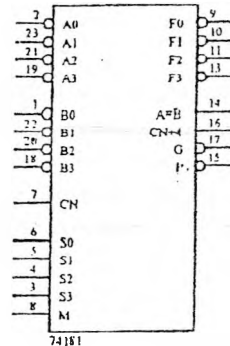
### ÖN BİLGİLER

#### GİRİŞ

Bilindiği gibi kontrol sistemlerinde yapılan işler temel olarak denetleme esasına dayanmaktadır. Denetleme işlemleri ise temel aritmetik ve lojik işlemler gerektirir. Temel olarak sadece aritmetik ve lojik işlemleri gerçekleştirmek amacıyla tasarlanan devrelere Aritmetik Lojik İşlem Birimi (ALU) denilmektedir.

#### A. 74LS181 ARİTMETİK LOJİK İŞLEM BİRİMİ

74LS181 IC entegresi yüksek hızlı, 4 bit paralel işlem kabiliyetine sahip müstakil bir ALU devresidir. 16 lojik işlem fonksiyonunu ve iki değişkenli 16 aritmetik işlem fonksiyonunu gerçekleştirebilmektedir. Şekil 1'de 74LS181'in bacak bağlantıları görülmektedir.



Şekil 1. 74LS181 ALU blok diyagramı

Elemanın  $A_0-A_3$  ve  $B_0-B_3$  bacakları giriş işlem (operant) bacaklarıdır (lojik 0'da aktif).  $S_0-S_3$  (toplam dört adet) bacakları işlem seçme bacaklarıdır. M bacağı ise IC elemanın çalışma modunu seçmede kullanılır ( $M=1$  ise IC LOJİK İŞLEM,  $M=0$  ise IC ARİTMETİK İŞLEM modlarını ifade eder). 4 adet seçme bacağı bulunması nedeniyle devrenin  $2^4=16$  değişik işlem kabiliyeti bulunmaktadır.  $F_0-F_3$  bacakları ise çıkış bacakları olup, işlem sonucu bu bacaklardan görülebilmektedir (lojik 0'da aktif). Cn bacağı elde giriş bacağı olup sadece aritmetik işlemler sırasında işleme tabi tutulmaktadır. Lojik işlemler sırasında önemi yoktur. A ve B bilgilerinin eşitliği durumunda ( $A=B$ ) on dört numaralı bacak lojik 1 değerini alarak, A ve B bilgilerinin denkleliğini ifade eder.

### DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI

1. 1 adet Protoboard
2. 1 adet AVO Metre
3. 1 adet 74LS181
4. 10 adet LED Diyot
5. 1 adet 270 ohm Direnç
6. Bağlantı kabloları

**DENEY ÇALIŞMASI**

1. Databook' tan 74LS181 IC paketi ile ilgili bilgilere bakarak temel ALU devresi kurunuz. Devre üzerinde deęişik deęerler için LOJİK ce ARİTMATİK işlemler yapınız.
2. Binary işlem aritmatięi kurallarını dikkate alarak (bire komplement, ikiye komplement gibi) toplama, çıkartma örnekleri yapınız.

**SORULAR**

1. ALU devreleriyle, Mikrocontroler ve Mikroişlemci devrelerini karşılaştırarak yorum yapınız. Kullanım amaç ve yerleri hakkında bilgi veriniz.
2. ALU devresi ile kontrol edilebilecek bir kontrol sistemi tasarlayınız (Hayali bir problem üretiniz). Alternatif olabilecek sistemleri tartışınız.

## DİJİTAL-ANALOG ÇEVİRİCİLER

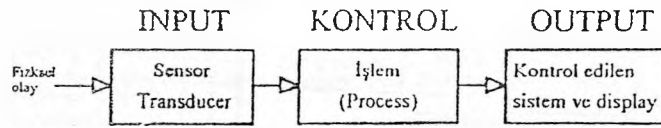
### KONU

D/A çeviricilerinin çalışmasının incelenmesi ve devresinin gerçekleştirilmesi.

### ÖN BİLGİLER

#### GİRİŞ

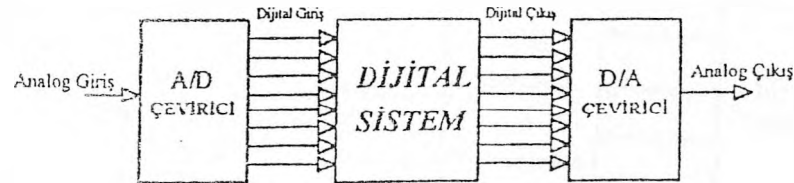
Daha güvenilir, modern bir kontrol ve otomasyon işlemi için dijital bir sistem kullanıldığında birtakım problemlerle karşılaşılır. Bilindiği gibi kontrol ve otomasyon işlemlerinde genel olarak işlem sırası Şekil 1'de görüldüğü gibidir.



Şekil 1. Genel bir kontrol mekanizması

Kontrol edilecek birimden sensör (hissedici) ve transducer (fiziksel büyüklüğü elektriksel büyüklüğe çevirir) yardımı ile fiziksel büyüklükler hakkında (sıcaklık, basınç, hız, ivme, pozisyon vs.) alınan bilgiler kontrol biriminde değerlendirilir. Değerlendirme sonucu kontrol birimi tarafından gönderilen direktifler doğrultusunda kontrol edilmek istenen sistem çalışmasını sürdürür ve sistem hakkındaki bilgiler display edilirler. Dikkat edilirse; fiziksel olay hakkında alınan bilgiler ve bu bilginin işlenip otomasyonunun sağlanması işlemleri tamamen analog sinyaller ve analog devrelerle gerçekleştirilebilmektedir. Eğer dijital bir sistem ile kontrol ve değerlendirme işlemleri yapılacaksa, böyle bir kontrol ünitesi kesinlikle dijital girişlere ihtiyaç duyacak ve yaptığı işlemlerin sonuçlarını da dijital olarak çıkışa verecektir. O halde dijital kontrol biriminin analog dünya ile uygunlaştırılması (INTERFACE) gerekmektedir. Bu uygunlaştırma birimleri ise A/D ve D/A çeviriciler olarak adlandırılır.

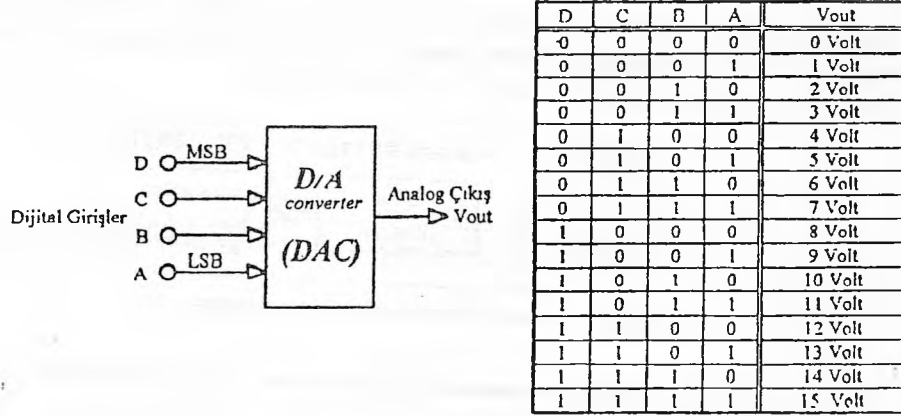
Dijital bilgileri analog sinyallere dönüştüren çeviricilere DİJİTAL-ANALOG çeviriciler (D/A Konvertör, DAC), analog sinyalleri dijital bilgilere dönüştüren çeviricilere ise ANALOG-DİJİTAL çeviriciler (A/D Konvertör, ADC) denir. Bir A/D çevrim esnasında D/A çevrimde ihtiyaç duyulduğundan ilk olarak D/A çeviriciler işlenecektir.



Şekil 2. Analog dünyanın D/A ve A/D dijital sisteme uygunlaştırılması

### A. DİJİTAL-ANALOG ÇEVİRİCİ

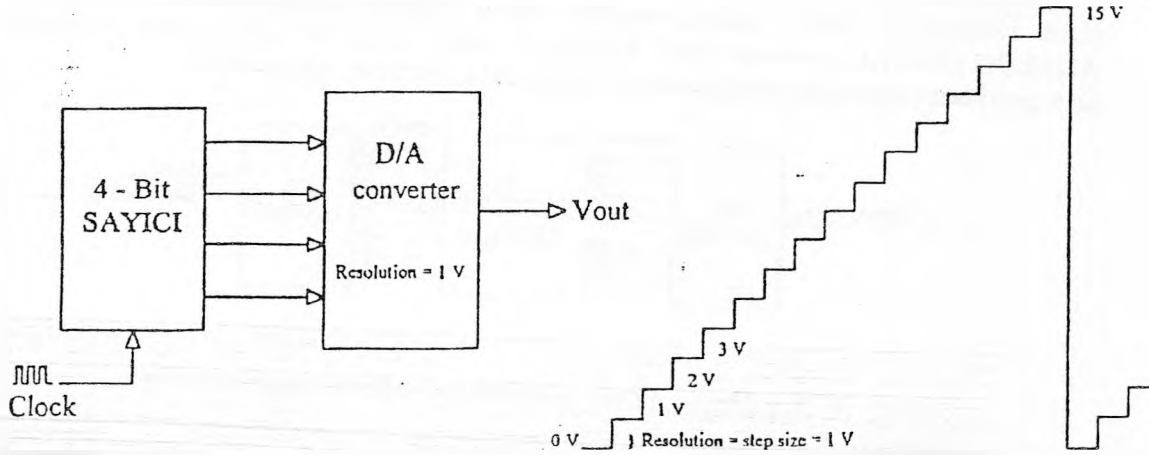
Temel olarak; dijital kodlarla gösterilen bir bilginin her dijital koda karşılık olarak bir gerilim yada akım değeri ile gösterilmesi işlemine dijital-analog çevrim denir. Çevrim sonunda elde edilen analog akım yada gerilim değeri o anda uygulanan dijital kod ile bir orantıya sahiptir. Bu çevrim işlemi yapan çeviricilere de dijital-analog çeviriciler denir. Şekil 3'de 4 bitlik bir D/A çevirici ve yaptığı çevrimle ilgili değerler tablosu görülmektedir.



Şekil 3. Dört bitlik D/A çevirici ve değerler tablosu

Çeviricinin A,B,C, ve D girişleri dijital sistemin çıkış registerlerinden temin edilebilir. Çevirici dört girişe sahip olduğundan dolayı,  $2^4=16$  farklı binary değere karşılık 16 farklı çıkış üretebilmektedir. Şekil 3'deki çeviricinin Vout çıkışı binary sayılarla eşit şekilde çıkış gerilimine sahiptir (1111=15V). Bu orantılılık faktörü istenilen değerlere kurulacak devrelerle değiştirilebilir.

Bir D/A çeviricinin girişlerine 4 bitlik bir sayıcıdan bilgi temin edildiğinde, Şekil 4'de görüldüğü gibi sayıcı çıkışlarındaki binary değişmeye orantılı olarak D/A çevirici çıkışında değişken bir analog sinyal elde edilmiş olacaktır.



Şekil 4. Sayıcı girişli D/A çevirici ve çıkış dalga şekli.

Şekil 4 bizlere D/A çevirici hakkında iki önemli büyüklüğü açıkça izah etmektedir. Bu büyüklüklerden birincisi ADIM BÜYÜKLÜĞÜ (STEP SIZE) 'dür. D/A çeviricinin girişine uygulanan dijital bilginin bir artırılması halinde çeviricinin analog çıkışına yansıyan değişmeye adım büyüklüğü denir. Şekil 4'deki devrede adım büyüklüğü 1 Volt'tur. Yani basamak halindeki analog bilginin her basamağı 1'er voltur. Sonuç olarak adım büyüklüğünü şu şekilde formülize edebiliriz.

$$\text{Adım büyüklüğü} = \frac{\text{Maksimum D/A çevirici çıkışı}}{2^n - 1}$$

İkinci önemli büyüklük ise RESOLASYON (RESOLUTION) 'dur. D/A çeviricinin hassasiyet ve güvenilirliği bakımından bilgi veren Resolasyon ; adım büyüklüğünün maksimum D/A çevirici çıkışına oranıdır ve yüzde olarak ifade edilir.

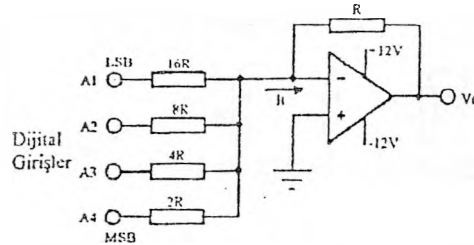
$$\% \text{ Resolasyon} = \frac{\text{Adım büyüklüğü}}{\text{Maksimum D/A çevirici çıkışı}} \times \%100$$

Şekil 4'deki devrede resolution  $1V/15V = \% 6.67$  'dir Yüzde Resolasyon ayrıca şu şekilde de bulunabilir.

$$\% \text{ Resolasyon} = \frac{1}{\text{Toplam adım sayısı}} \times \%100$$

## B. D/A ÇEVİRİCİ DEVRELERİ

En yaygın olarak kullanılan iki farklı D/A çevirici devresi; Ağırlıklı Direnç ve R-2R Ladder devreleridir. Ağırlıklı direnç devresi şekil 5'de görülmektedir.



Şekil 5. 4 bitlik ağırlıklı direnç tipi DAC

Şekil 5'de görülen A<sub>1</sub>, A<sub>2</sub>, A<sub>3</sub> ve A<sub>4</sub> girişleri binary bilgilerin uygulandığı uçlardır. Her bir uçtan ya lojik 1 veya lojik 0 uygulanabilir. Bu devrede girişlere uygulanan Lojik 1 seviyesi referans gerilimi olarak da adlandırılabilir. Çeviricinin analog çıkışı aynı zamanda OP-AMP'ın da çıkışıdır. O halde;

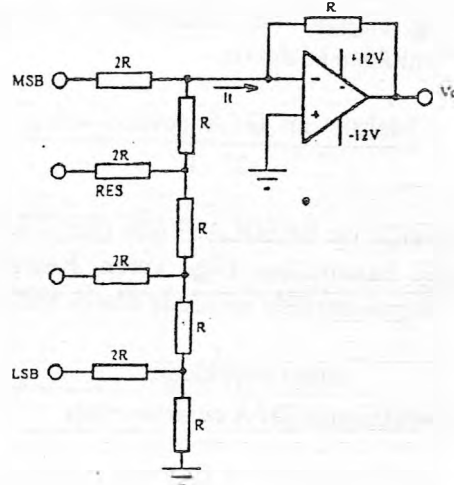
$V_{out} = -I_T R$  dir. Bu ifadeyi acarsak;

$$V_{out} = -(I_1 + I_2 + I_3 + I_4)R$$

$$V_{out} = -\left(\frac{V_{ref} A_4}{2R} + \frac{V_{ref} A_3}{4R} + \frac{V_{ref} A_2}{8R} + \frac{V_{ref} A_1}{16R}\right)R$$

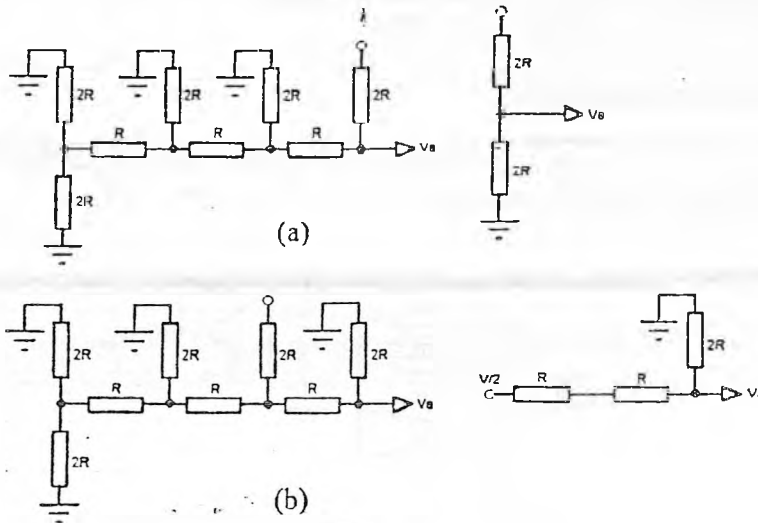
$$V_{out} = -V_{ref} (A_4 \cdot 2^{-1} + A_3 \cdot 2^{-2} + A_2 \cdot 2^{-3} + A_1 \cdot 2^{-4})$$

İkinci metod olan R-2R ladder devresi ise Şekil 6'da görülmektedir.



Şekil 6. R-2R ladder tipi D/A çevirici

Sistemin nasıl çalıştığını anlayabilmek için Şekil 7'ye dikkat ediniz.



Şekil 7. R-2R ladder devresi ve binary girişlere göre eşdeğer devreleri.

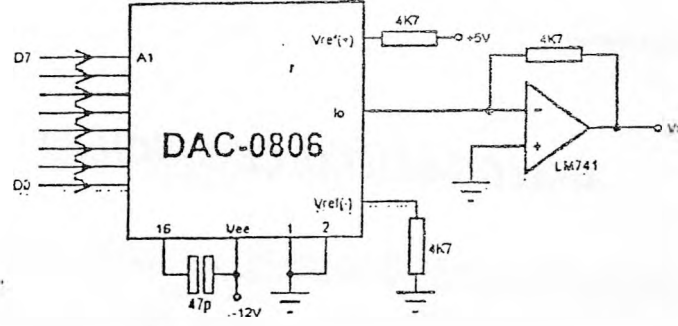
Şekil 7'den de görüldüğü gibi girişlere 1000 binary bilgisı uygulandığında elde edilen eşdeğer devre çıkışı  $V_{ref}/2$  olacaktır.

Girişlere 0100 uygulandığında 7.b'de görüldüğü gibi Theven'in teoremi yardımıyla elde edilen eşdeğer devre, çıkışa  $V_{ref}/4$  kadar katkıda bulunacaktır. Aynı şekilde 0010 değerinde  $V_{ref}/8$ , 0001 değerinde ise  $V_{ref}/16$  volt kadar çıkışa katkıda bulunacaktır.

Genellikle üretici firmalar R-2R ladder tipi D/A çeviriciler üretmektedirler. DAC0806 bu üretilen çeviricilere bir örnektir. Şekil 8'de DAC0806'nın uygulama devresi verilmiştir.

DAC0806'nın analog çıkışından alınabilecek akım değeri Şekil 8'deki devrenin çıkışı  $V_{out}$  ise şöyle ifade edilebilir.

$$V_{out} = (-I_0)R_f$$



Şekil 8. DAC0806 uygulama devresi

**DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI**

- |                       |                             |
|-----------------------|-----------------------------|
| 1. 1 adet Protoboard  | 8. 1 adet 4K Direnç         |
| 2. 1 adet AVO Metre   | 9. 1 adet 8K Direnç         |
| 3. +5V ve ±12V Kaynak | 10. 1 adet 16K Direnç       |
| 4. 1 adet DAC0806     | 11. 4 adet 4K7 Direnç       |
| 5. 1 adet LM741       | 12. 1 adet 47pF Kondansatör |
| 6. 5 adet 1K Direnç   | 13. Bağlantı Kabloları      |
| 7. 5 adet 2K Direnç   |                             |

**DENEY ÇALIŞMASI**

- Şekil 5'deki devreyi kurunuz. 0000 ile 1111 arasındaki binary değerlere karşılık Vout değerlerini bulunuz.  $V_{ref} = \text{Lojik 1} = 5V$  ise D/A çeviricinin adım büyüklüğü ve % Resolution değerlerini hesaplayınız.
- Şekil 6'daki devreyi kurunuz. 0000 ile 1111 arasındaki binary değerlere karşılık Vout değerlerini bulunuz.  $V_{ref} = \text{Lojik 1} = 5V$  ise D/A çeviricinin adım büyüklüğü ve % Resolution değerlerini hesaplayınız.
- Şekil 8'deki DAC0806 uygulama devresini kurunuz. 00000000 ile 11111111 arasındaki binary deerlere karşılık Vout değerlerini bulunuz.  $V_{ref} = \text{Lojik 1} = 5V$  ise D/A çeviricinin adım büyüklüğü ve % Resolution değerlerini hesaplayınız.

**SORULAR**

- D/A çeviricinin uygulama alanları hakkında bilgi veriniz.
- Bir D/A çevirici kullanan uygulama devresi şeması tasarlayınız. Uygulama hakkında bilgi veriniz.

## ANALOG-DİJİTAL ÇEVİRİCİLER

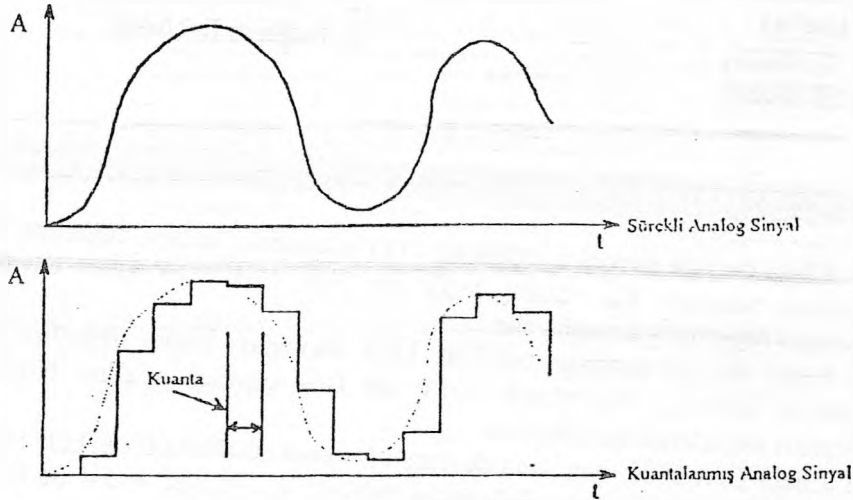
### KONU

Analog-Dijital çevrim prensipleri incelenmesi ve temel devrelerinin gerçekleştirilmesi.

### ÖN BİLGİLER

#### GİRİŞ

Analog-dijital çeviriciler (A/D Converter, ADC) iki temel işlemi gerçekleştirirler; Kuantalama ve kodlama. Kuantalama işlemi sürekli bir analog sinyal (continuous signal) mümkün olan bir sayıda ayrık bölgelere (discrete range), diğer bir deyişle kuantalara dönüştürür. Kodlama işlemi ise her bir ayrık bölgeye ya da kuantaya karşılık gelen ve değerleri binary olarak sembolize eden kodlar üretilir.



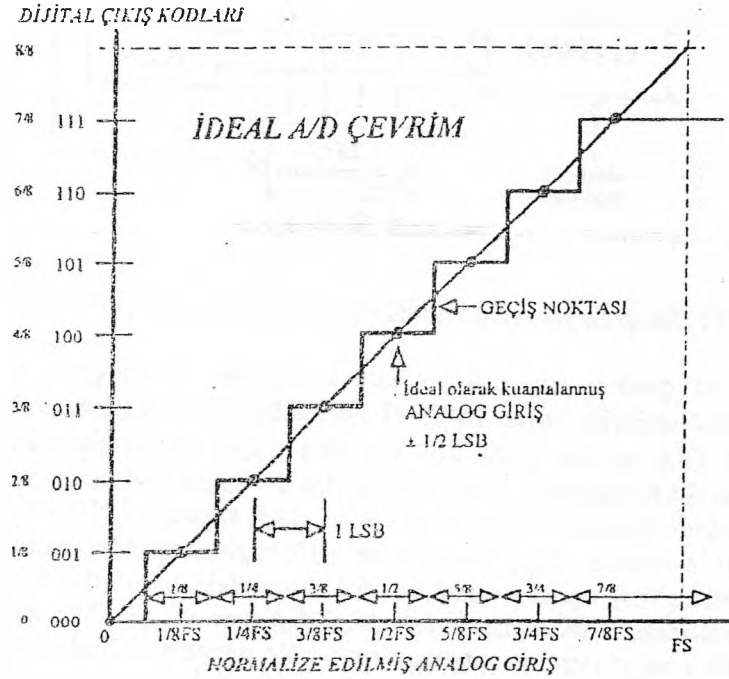
Şekil 1. Sürekli analog sinyal ve kuantalanmış analog sinyal

Analog-dijital çevrim işlemi D/A çevrimin tamamen tersi olarak alınabilir. A/D çeviriciler; çevrim tekniklerine göre iki genel grupta sınıflandırılabilirler. Birinci teknikte; dijital'e çevrilmesi düşünülen analog sinyal ile çevirici içinde üretilen eşdeğer sinyalin kıyaslanması ve sonuçta eşdeğer dijital kodların üretilmesi söz konusudur. Bu gruba ise integratör çeviriciler ile voltaj-frekans çeviricileri dahildir.

Birinci teknik ile gerçekleştirilen çeviriciler, ikinci tekniğe göre daha hızlı çevrim yapabilmekte fakat gerçekleştirilen çevrim sonucu daha hassas olmamaktadır. En yaygın olarak kullanılan A/D çeviriciler; sıralı yaklaşım ve integratör tekniği ile gerçekleştirilen çeviricilerdir. Sıralı yaklaşım tipi çeviriciler genelde, enstrümantasyon işlemleri gibi, çevrim hızının önemli olduğu uygulamalarda kullanılır. Integratör tipi çeviriciler ise çevrim hassasiyetinin ön planda olduğu panelmetre, dijital ölçüm aletleri, monitör sistemleri gibi uygulamalarda kullanılır. Bu deneyde sıralı yaklaşım tekniği ile gerçekleştirilmiş A/D çeviricileri inceleyeceğiz.

### A. TEMEL KAVRAMLAR

Şekil 2'de 3 bitlik bir A/D çeviriciye ait transfer karakteristikleri görülmektedir. N-bitlik bir A/D çevirici birbirinden farklı  $2^N$  çıkış koduna sahiptir. Dolayısıyla üç bitlik A/D çevirici de düşey eksende gösterildiği gibi 8 farklı çıkış koduna sahip olacaktır. Yatay eksende gösterilen sürekli analog giriş sinyali ise geçiş noktaları (transition points) ya da karar verme seviyeleri (decision levels) ile kuantalara ayrılmıştır. Her bir kuantanın büyüklüğü  $Q=FS/2$  ile belirlidir (FS; Full Scale - Tam Skala ; A/D çeviriciye uygulanan maximum analog sinyal genliği). Q değerine ise kuantalama boyutu denir. Her kuantanın orta noktası; o kuantaya ait olan dijital çıkış kodu ile kesin olarak temsil edilen analog sinyal seviyesidir. Örnek olarak  $1/16$  FS ve  $3/16$  FS geçiş noktaları arasında kalan analog sinyali;  $1/8$  FS noktasındaki analog sinyal ile aynı işleme tabi olacaktır. Yani  $1/16$  FS ile  $3/16$  FS arasında kalan kuantadaki analog sinyal;  $1/8$  FS noktasındaki analog sinyal ile aynı dijital çıkış koduna sahip olacak ve 001 çıkış kodu ile temsil edilecektir. Dolayısıyla kuantalama işlemi  $FQ/2$  değerinde kendiliğinden ortaya çıkan bir hataya sahiptir. İdeal olarak bir A/D çevirici çıkışı (M, analog girişe karşılık üretilen dijital A/D çevirici çıkışı)  $M Q/2$  (yada  $M FS/2^{n+1}$ ) değerine sahiptir. Kuantalama işlemi esnasında ortaya çıkan bu hatanın küçültülmesinin tek yolu daha fazla bit sayısına sahip A/D çeviriciler kullanmaktır. Başka bir deyişle kuantalama boyutunun, bit sayısının artırılması ile düşürülmesidir.

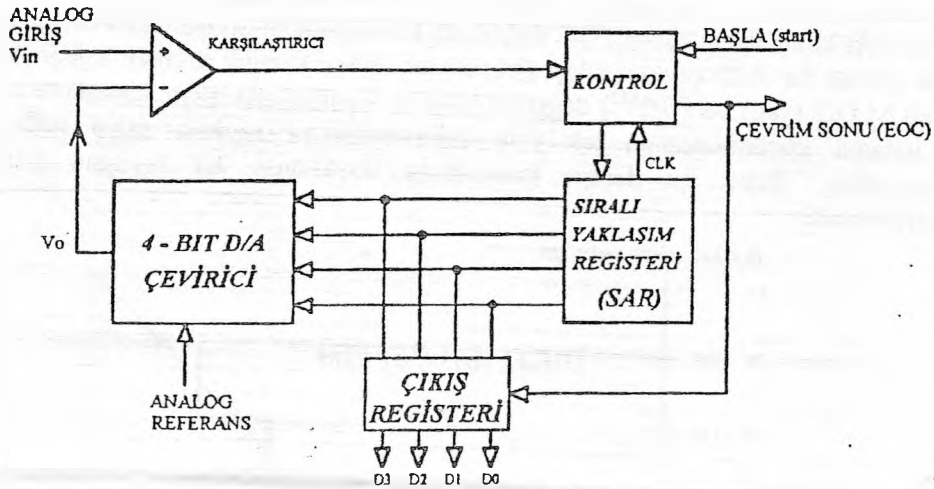


Şekil 2. 3 bit A/D çeviriciye ait analog-dijital çevirim ilişkisi

Pratikte kendiliğinden oluşan kuantalama hatasına ilaveten, offset kazanç hatalarına bağlı olarak geçiş noktalarının düzensizliği ile meydana gelen hatalar da mevcuttur. Bu hatalar; çevrim anında yanlış bilgi kodlama, bazı kodların kaybolması ve düzensiz bilgi kodlama gibi istenmeyen durumlara sebep olur.

## B. SIRALI YAKLAŞIM TEKNİĞİ

Şekil 3, Sıralı Yaklaşım Tekniği ile gerçekleştirilmiş bir A/D çeviricinin blok diyagramını göstermektedir. Şekildeki A/D çevirici üç ana kısımdan oluşmaktadır; D/A çevirici, sıralı yaklaşım registeri (SAR) ve kıyaslayıcı (comparator). Çevrim tekniği temel olarak D/A çevirici çıkışı  $V_o$  ile analog giriş  $V_{in}$ 'in sürekli kıyaslanmasına dayanır. Kıyaslama sonucunda her iki analog sinyal eşit ise çevrim gerçekleşmiş demektir. Yani çevrim için kontrol birimi A/D çeviriciyi yeniden hazırlar. Eğer çevrim gerçekleşmemişse kontrol birimi SAR registerini sürekli düzenleyerek iki analog sinyalin ( $V_o$ ,  $V_{in}$ ) eşitlenmesini sağlamaya çalışır.



Şekil 3. 4 bitlik sıralı yaklaşım tekniği ile yapılmış bir A/D çeviricinin blok diyagramı

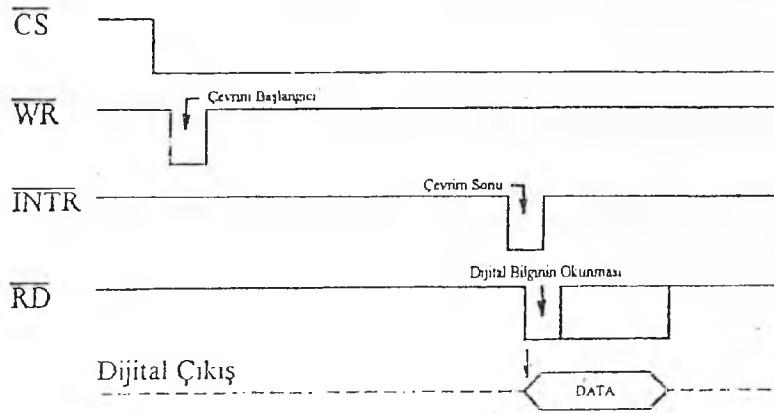
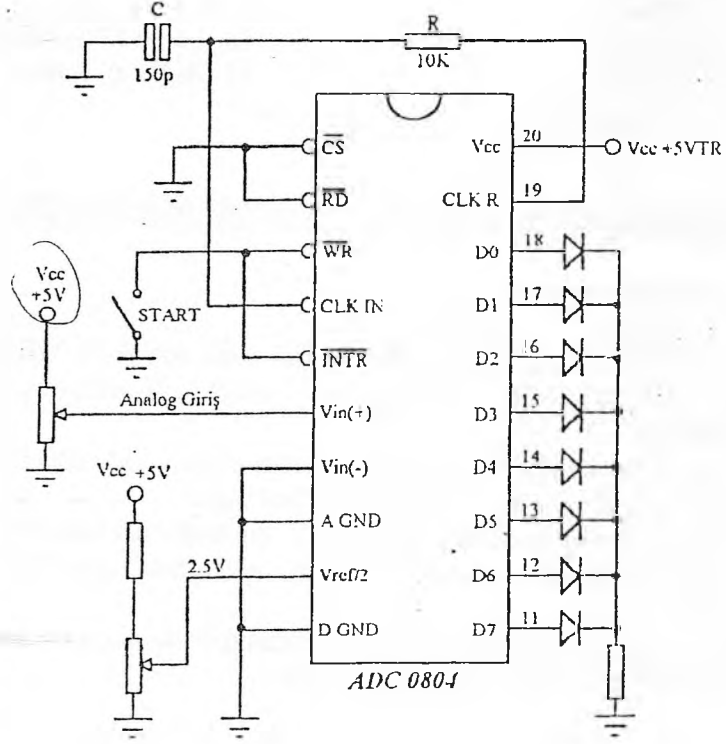
4 bitlik çevirici için çalışma kısaca şöyledir. Başlangıçta kontrol birimi SAR registerini 1000 değerine kurar. (MSB=1 diğer bitler 0) SAR çıkışı D/A çeviriciye bağlıdır. Bu durumda D/A çevirici çıkışı  $V_o$ ,  $V_{in}$  giriş sinyali ile karşılaştırılır. Eğer  $V_{in} > V_o$  ise kontrol birimi SAR registerini 1100'a kurar. Bu durumda D/A çeviricinin en son çıkışı olan  $V_o$  ile  $V_{in}$  tekrar kıyaslanır. Eğer  $V_{in} > V_o$  ise, SAR registeri 1110'a eğer  $V_{in} < V_o$  ise SAR registeri 1010'a kurur. Eğer  $V_{in} = V_o$  ise SAR registerinde bulunan dijital bilgi o andaki analog sinyalin ( $V_{in}$ ) dijital karşılığıdır. Bu durumdaki bilgi çıkış bufferlarına gönderilir. İşlemleri özetlersek; SAR registerindeki bilgi değiştirme işlemi  $V_{in}$  ile  $V_o$  dengeleninceye kadar ağırlıklı artış yöntemi ile artırılır.  $V_{in}$  ile  $V_o$  dengelendiğinde çevrim gerçekleşmiştir. O andaki SAR registerindeki bilgi  $V_{in}$  analog girişine karşılık dijital kod olarak çıkış bufferlarından çıkışa aktarılır. Kontrol birimi ayrıca çevrim işleminin bittiğini A/D çeviriciyi kullanan birimlere uyan olarak bir ÇEVİRİM SONU (END OF CONVERSION, EOC) sinyali üretir.

## C. ADC0801 ÇEVİRİCİ BİRİMİ

Şekil 4'de ADC0801'in uygulama devresi görülmektedir. ADC0801 sıralı yaklaşım tekniği ile çalışan bir A/D çeviricidir. Şekilden görüleceği gibi RD ucuna uygulanan başlama (START) sinyali ile çevrim başlar. Çevrimin gerçekleşmesi için çeviricinin bir CLK kaynağına ihtiyaç vardır. ADC0801 dahili olarak bir CLK kaynağına sahiptir. Bu frekansın belirlenmesi için dışarıdan R ve C pasif elemanların bağlanması gerekir. CLK frekansı;

$$f_{CLK} = \frac{1}{1.1RC} \text{ ifadesi ile belirlenir.}$$

$f_{CLK}$  frekansının büyük olması halinde çevrim hızı artacaktır. START sinyali ile başlayan çevrim sona erdiğinde çevirici ( $\overline{INTR}$ ) üretecek ve bu sinyalin görülmesinden sonra WR ucuna uygulanacak bir sinyal ile çevrim sonucu elde edilen dijital kod dijital çıkışlara aktarılacaktır. Diğer bir deyişle ADC0801'in tri-state çıkışları aktif hale getirilecektir. Bu işleme dijital bilginin okunması da denilebilir. Dijital bilgi okunduktan sonra sürekli analog sinyalin dijitalle çevrilmesi için çeviriciye yeniden START sinyalinin verilmesi ve diğer işlemlerinde sırasıyla tekrar edilmesi gerekecektir.



Şekil 4. ADC0801 uygulama devresi ve çevrimle ilişkili sinyaller

**DENEYDE KULLANILACAK CİHAZLAR VE DEVRE ELEMANLARI**

1. 1 adet Protoboard
2. 1 adet AVO Metre
3. 1 adet Osiloskop
4. 1 adet ADC0801
5. 2 adet 100K Pot
6. 10 adet LED Diyot
7. 2 adet 0.1  $\mu$ F Kondansatör
8. 1 adet 150pF Kondansatör
9. 1 adet 10  $\mu$ F Tantalium Kondansatör
10. 2 adet 10K
11. 2 adet 100K
12. 1 adet 270 ohm Direnç
13. Bağlantı Kabloları

**DENEY ÇALIŞMASI**

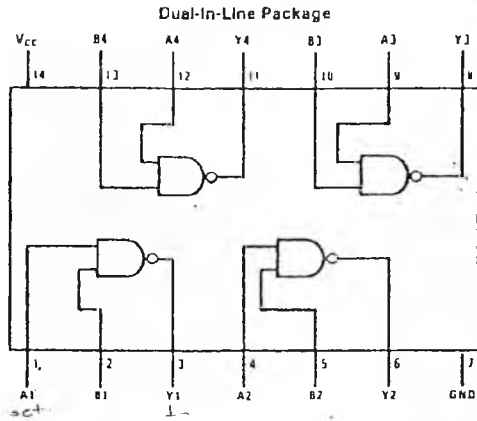
1. Şekil 4'deki devreyi kurunuz.
2.  $V_{ref}/2$  gerilimini 2.5V'a ayarlayınız. (\*)
3.  $\overline{WR}$  ve  $\overline{INTR}$  uçlarını birleştirerek çevrim sonu sinyali ile WR ucuna sürekli START sinyali sağlayınız. Bu şekilde sürekli çevrim (Continuous Conversion) işlemini gerçekleyiniz.
4.  $\overline{RD}$  ucunu şaseye çekiniz. Bu sayede çevrim sonucu elde edilen dijital bilgilerin sürekli olarak LED 'lerde görülmesini sağlamış olacaksınız.
5. Analog girişi potansiyometre yardımıyla 0 V 'tan başlamak üzere 5 V'a kadar (max analog giriş) yavaş yavaş artırınız. Çıkışta çevrim sonucu elde edilen dijital kodları LED 'lerden gözleyiniz.
6.  $\overline{INTR}$  ucuna bir osiloskop bağlayarak çevrim sonu sinyalini gözleyiniz. Bir çevrimin ne kadar zamanda gerçekleştiğini hesaplayınız.

(\*)  $V_{ref}/2$  değeri; A/D çeviriciye uygulanacak maksimum analog giriş sinyalinin yarısı değerinde olmalıdır.  
Örnek; Maksimum  $V_{in}=4.5V$  ise  $V_{ref}/2=2.25V$  olacaktır.

**SORULAR**

1. A/D çeviricinin uygulama alanları hakkında bilgi veriniz.
2. Bir A/D çevirici kullanan uygulama devresi şeması tasarlayınız. Uygulama hakkında bilgi veriniz.

**54LS00/DM54LS00/DM74LS00**  
**Quad 2-Input NAND Gates**

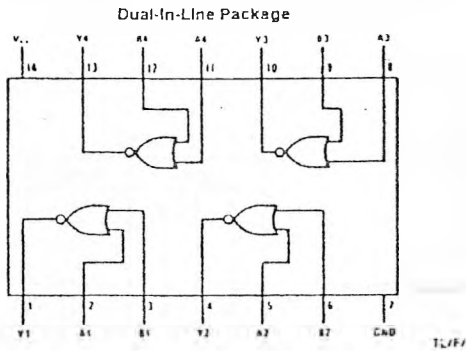


$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level  
 L = Low Logic Level

**54LS02/DM54LS02/DM74LS02**  
**Quad 2-Input NOR Gates**

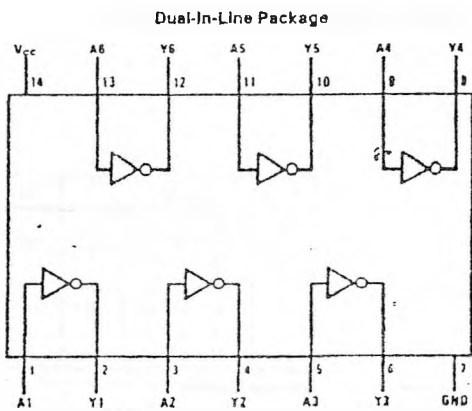


$Y = \overline{A + B}$

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = High Logic Level  
 L = Low Logic Level

**54LS04/DM54LS04/DM74LS04** Hex Inverting Gates

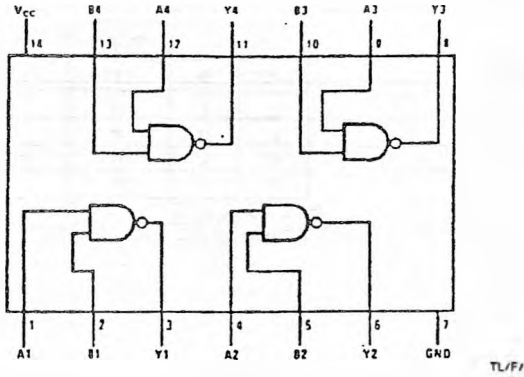


$Y = \overline{A}$

Input	Output
A	Y
L	H
H	L

H = High Logic Level  
 L = Low Logic Level

### 54LS03/DM54LS03/DM74LS03 Quad 2-Input NAND Gates with Open-Collector Outputs

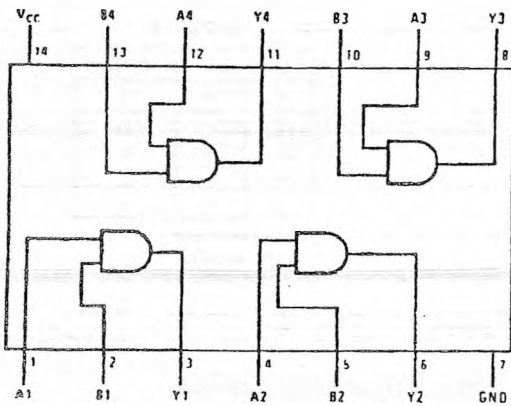


$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level  
L = Low Logic Level

### 54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

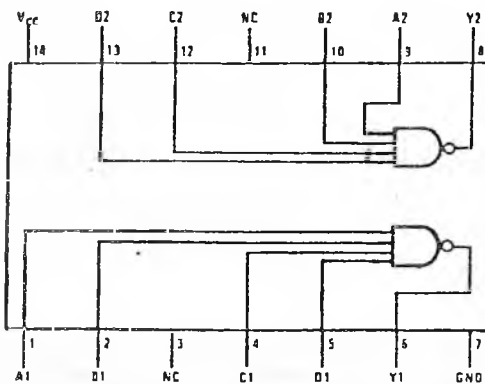


$Y = AB$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level  
L = Low Logic Level

### 54LS20/DM54LS20/DM74LS20 Dual 4-Input NAND Gates

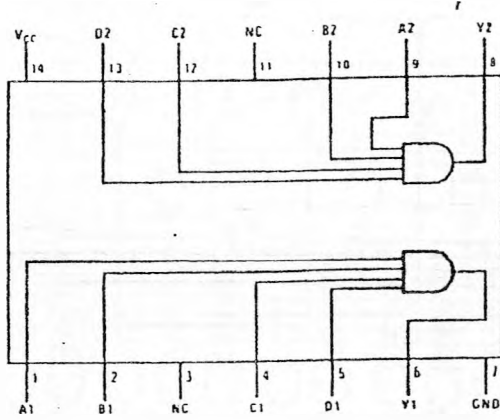


$Y = \overline{ABCD}$

Inputs				Output
A	B	C	D	Y
X	X	X	L	H
X	X	L	X	H
X	L	X	X	H
L	X	X	X	H
H	H	H	H	L

H = High Logic Level  
L = Low Logic Level  
X = Either Low or High Logic Level

### 54LS21/DM54LS21/DM74LS21 Dual 4-Input AND Gates

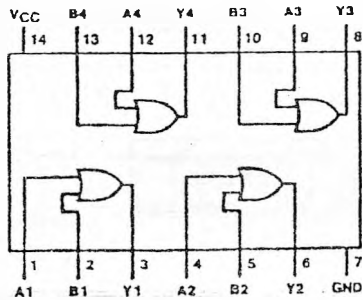


$Y = ABCD$

Inputs				Output
A	B	C	D	Y
X	X	X	L	L
X	X	L	X	L
X	L	X	X	L
L	X	X	X	L
H	H	H	H	H

H = High Logic Level  
 L = Low Logic Level  
 X = Either Low or High Logic Level

### 54LS32/DM54LS32/DM74LS32 Quad 2-Input OR Gates

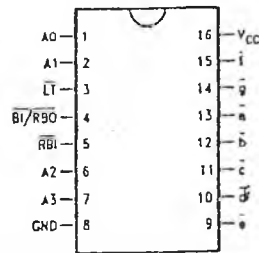


$Y = A + B$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level  
 L = Low Logic Level

### 54LS47/DM74LS47 BCD to 7-Segment Decoder/Driver

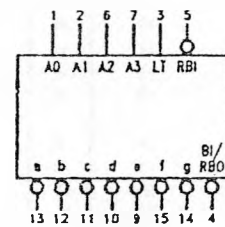


Order Number 54LS47DMQB, 54LS47FMQB,  
 DM74LS47M or DM74LS47N  
 See NS Package Number J16A, M16A, N16E or W16A

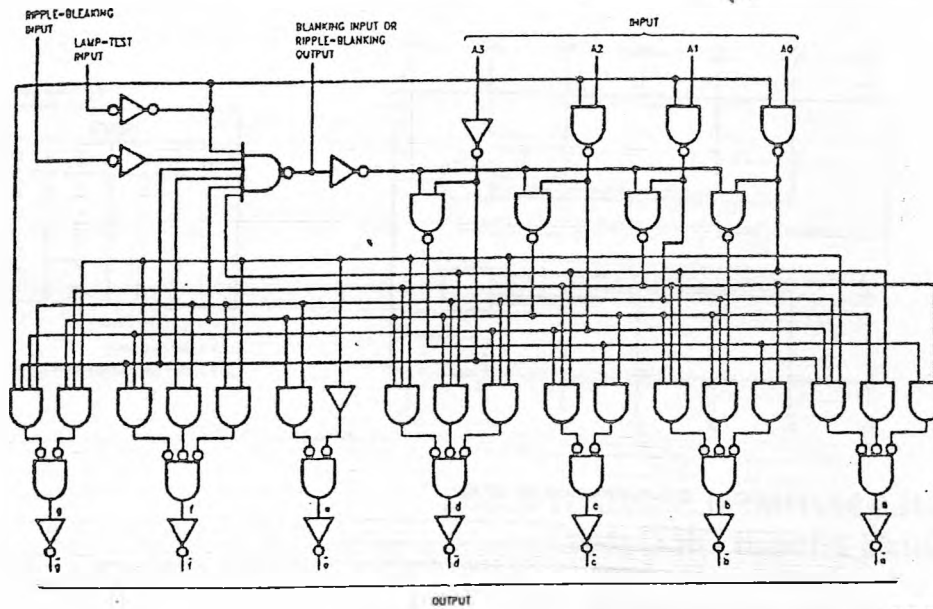
Pin Names	Description
A0-A3	BCD Inputs
$\overline{RBI}$	Ripple Blanking Input (Active LOW)
$\overline{LT}$	Lamp Test Input (Active LOW)
$\overline{BI/RBO}$	Blanking Input (Active LOW) or Ripple Blanking Output (Active LOW)
$\overline{a-g}$	*Segment Outputs (Active LOW)

\*OC—Open Collector

#### Logic Symbol

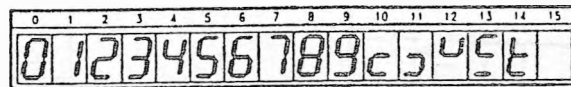


VCC = Pin 16  
 GND = Pin 8



TL/F/9817-3

Numerical Designations—Resultant Displays



TL/F/9817-4

Truth Table

Decimal or Function	Inputs							Outputs							Note
	$\overline{CT}$	$\overline{RBI}$	A3	A2	A1	A0	$\overline{BI/RBO}$	$\overline{a}$	$\overline{b}$	$\overline{c}$	$\overline{d}$	$\overline{e}$	$\overline{f}$	$\overline{g}$	
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	1
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	1
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
$\overline{BI}$	X	X	X	X	X	X	L	H	H	H	H	H	H	H	2
$\overline{RBI}$	H	L	L	L	L	L	L	H	H	H	H	H	H	H	3
$\overline{CT}$	L	X	X	X	X	X	H	L	L	L	L	L	L	L	4

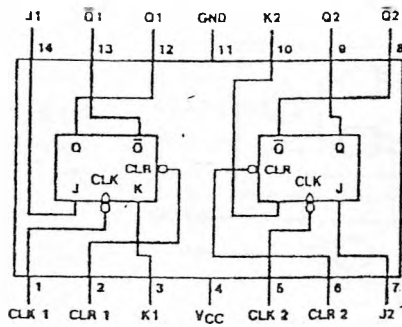
Note 1:  $\overline{BI/RBO}$  is wire-AND logic serving as blanking input ( $\overline{BI}$ ) and/or ripple-blanking output ( $\overline{RBO}$ ). The blanking out ( $\overline{BI}$ ) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input ( $\overline{RBI}$ ) must be open or at a HIGH level if blanking or a decimal 0 is not desired. X = input may be HIGH or LOW.

Note 2: When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a HIGH level regardless of the state of any other input condition.

Note 3: When ripple-blanking input ( $\overline{RBI}$ ) and inputs A0, A1, A2 and A3 are LOW level, with the lamp test input at HIGH level, all segment outputs go to a HIGH level and the ripple-blanking output ( $\overline{RBO}$ ) goes to a LOW level (response condition).

Note 4: When the blanking input/ripple-blanking output ( $\overline{BI/RBO}$ ) is open or held at a HIGH level, and a LOW level is applied to lamp test input, all segment outputs go to a LOW level.

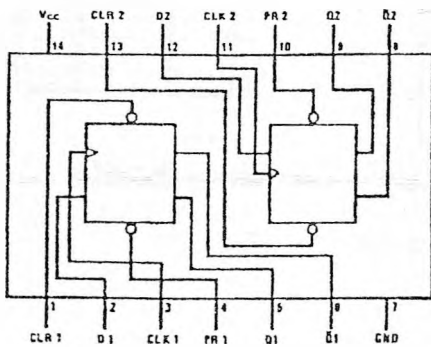
### DM54LS73A/DM74LS73A Dual Negative-Edge-Triggered Master-Slave J-K Flip-Flops with Clear and Complementary Outputs



Inputs				Outputs	
CLR	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	↓	L	L	$Q_0$	$\bar{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	Toggle	
H	H	X	X	$Q_0$	$\bar{Q}_0$

H = High Logic Level  
 L = Low Logic Level  
 X = Either Low or High Logic Level  
 ↓ = Negative going edge of pulse.  
 $Q_0$  = The output logic level before the indicated input conditions were established.  
 Toggle = Each output changes to the complement of its previous level on each falling edge of the clock pulse.

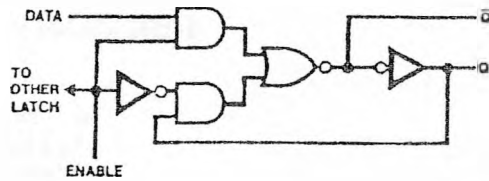
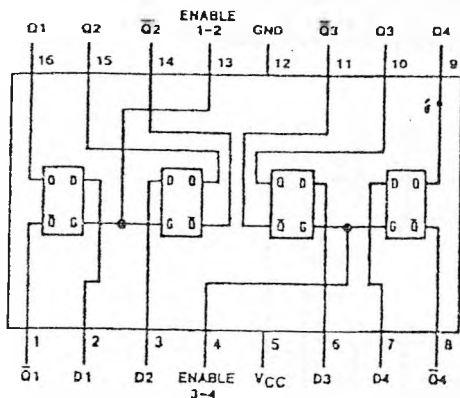
### 54LS74/DM54LS74A/DM74LS74A Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs



Inputs				Outputs	
PR	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	$Q_0$	$\bar{Q}_0$

H = High Logic Level  
 X = Either Low or High Logic Level  
 L = Low Logic Level  
 ↑ = Positive-going Transition  
 \* = This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (high) level.  
 $Q_0$  = The output logic level of Q before the indicated input conditions were established.

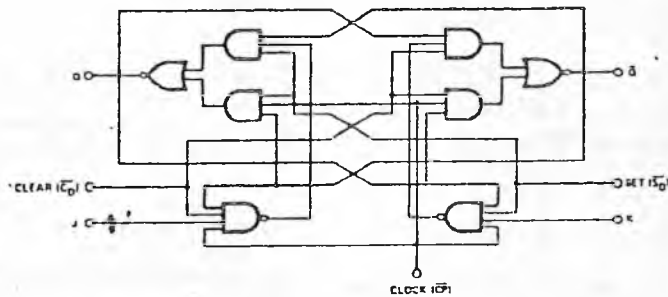
### DM54LS75/DM74LS75 Quad Latches



Inputs		Outputs	
D	Enable	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	$Q_0$	$\bar{Q}_0$

H = High Level, L = Low Level, X = Don't Care  
 $Q_0$  = The Level of Q Before the High-to-Low Transition of ENABLE

## SN54LS76A/SN74LS76A DUAL JK FLIP-FLOP WITH SET AND CLEAR



MODE SELECT - TRUTH TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	$\overline{S_0}$	$\overline{C_0}$	J	K	Q	$\overline{Q}$
Set	L	H	x	x	H	L
Reset (Clear)	H	L	x	x	L	H
Undetermined	L	L	x	x	H	H
Toggle	H	H	h	h	$\overline{q}$	q
Load "0" (Reset)	H	H	l	h	L	H
Load "1" (Set)	H	H	h	l	H	L
Hold	H	H	l	l	q	$\overline{q}$

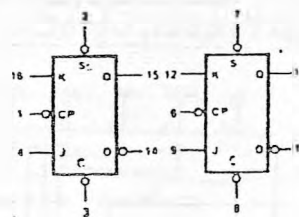
\*Both outputs will be HIGH while both  $\overline{S_0}$  and  $\overline{C_0}$  are LOW but the output states are unpredictable if  $\overline{S_0}$  and  $\overline{C_0}$  go HIGH simultaneously

H, h = HIGH Voltage Level

L, l = LOW Voltage Level

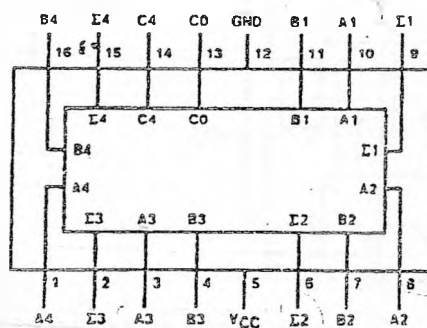
x = Immaterial

h, l, q = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH-to-LOW clock transition



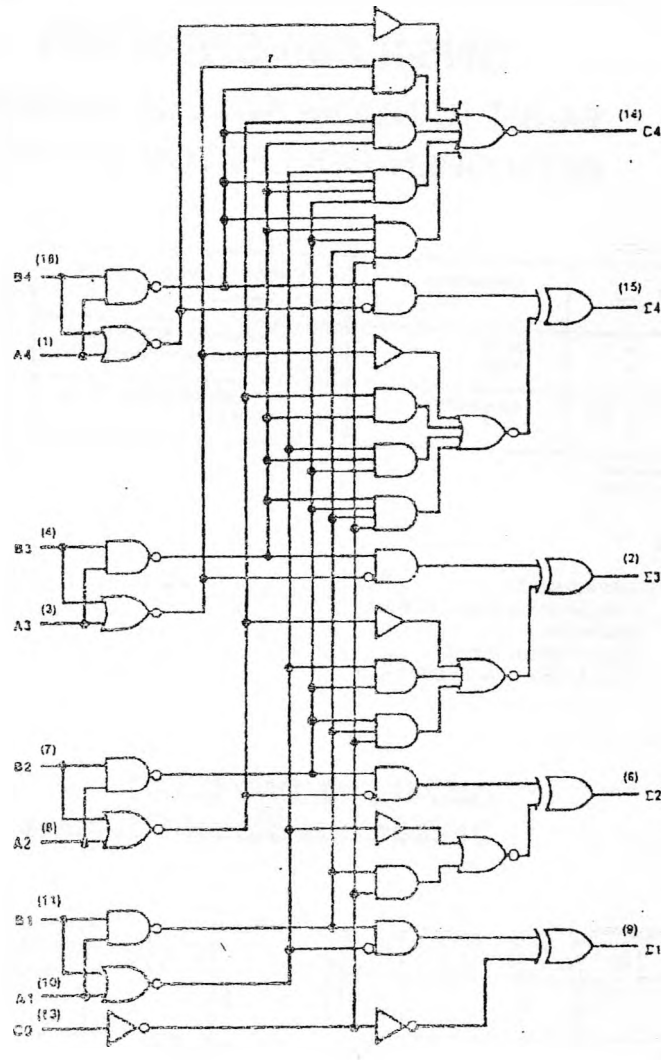
V<sub>CC</sub> = Pin 5  
GND = Pin 13

## 54LS83A/DM54LS83A/DM74LS83A 4-Bit Binary Adders with Fast Carry



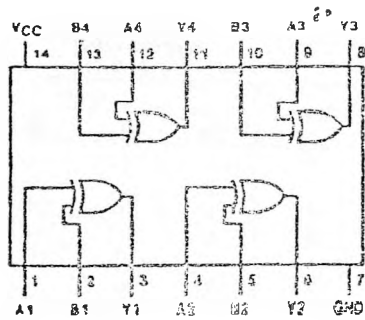
TLF/

LS83A



TL/F

**DM54LS86/DM74LS86**  
**Quad 2-Input Exclusive-OR Gates**



TL/F

$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

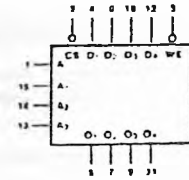
H = High Logic Level  
 L = Low Logic Level

## SN54LS89/SN74LS89

### 64-BIT RANDOM ACCESS MEMORY WITH OPEN-COLLECTOR OUTPUTS

INPUTS		OPERATION	CONDITION OF OUTPUTS
$\overline{CS}$	$\overline{WE}$		
L	H	Write	Complement of Data Inputs Complement of Selected Word
L	H	Read	
H	L	Inhibit Entry	Complement of Data Inputs HIGH (011)
H	H	Hold	

H = HIGH Voltage Level  
L = LOW Voltage Level



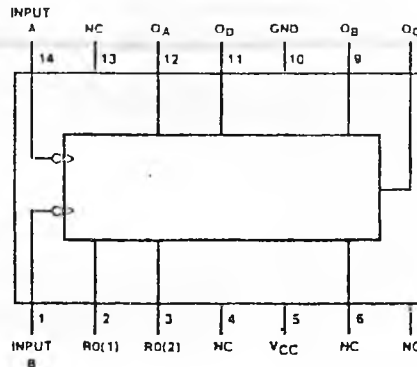
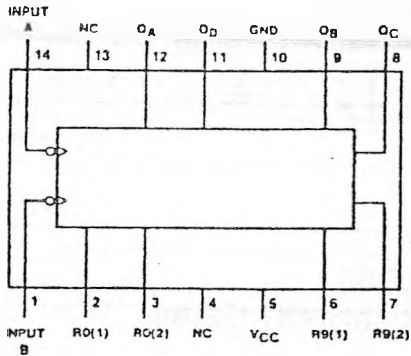
VCC = Pin 16  
GND = Pin 8

**PIN NAMES**

- A      Address Input
- $\overline{CS}$     Chip Select (active LOW) Input
- $D_n$     Data Input
- $O_n$     Data (inverted) Output
- $\overline{WE}$     Write Enable (active LOW) Input

## DM74LS90/DM74LS93

### Decade and Binary Counters



**LS90**  
BCD Count Sequence  
(See Note A)

Count	Output			
	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

**LS90**  
Bi-Quinary (5-2)  
(See Note B)

Count	Output			
	$Q_A$	$Q_D$	$Q_C$	$Q_B$
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

LS93  
Count Sequence  
(See Note C)

Count	Output			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

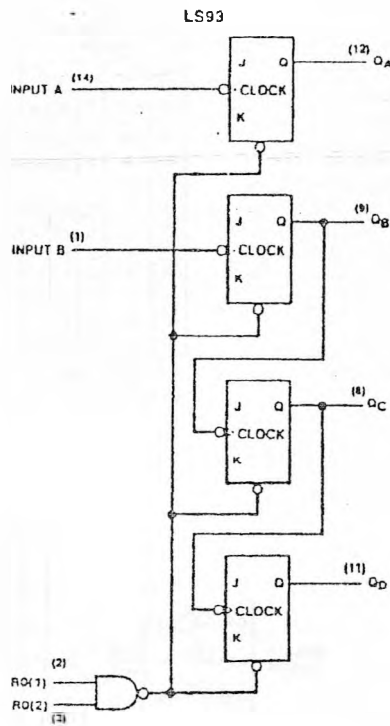
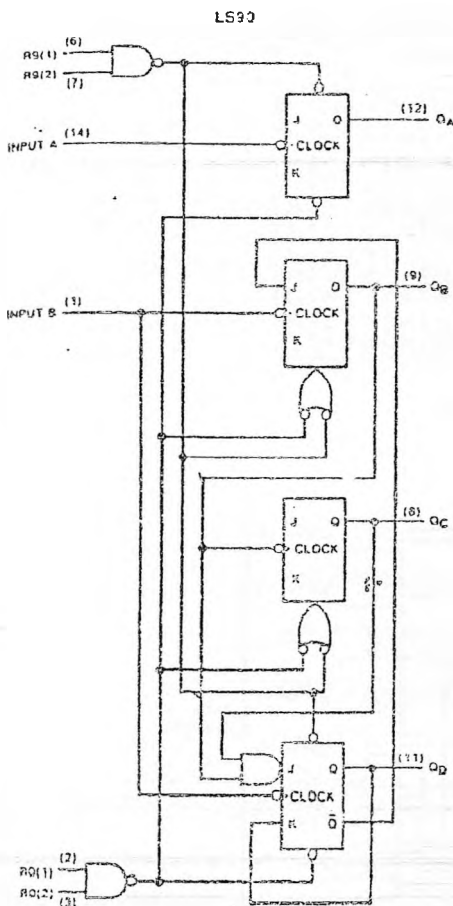
Note A: Output Q<sub>A</sub> is connected to input B for BCD count.  
 Note B: Output Q<sub>D</sub> is connected to input A for bi-quinary count.  
 Note C: Output Q<sub>A</sub> is connected to input B.  
 Note D: H = High Level, L = Low Level, X = Don't Care.

LS90  
Reset/Count Truth Table

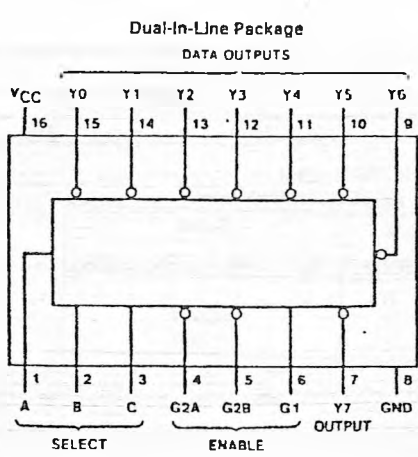
Reset Inputs				Output			
R0(1)	R0(2)	R9(1)	R9(2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

LS93  
Reset/Count Truth Table

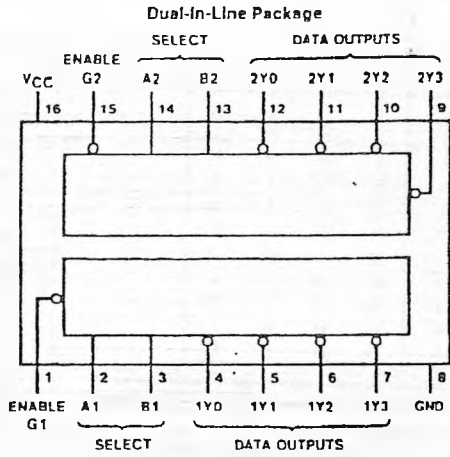
Reset Inputs		Output			
R0(1)	R0(2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			



## 54LS138/DM54LS138/DM74LS138, 54LS139/DM54LS139/DM74LS139 Decoders/Demultiplexers



TL/F/6381-1



TL/F/6381-2

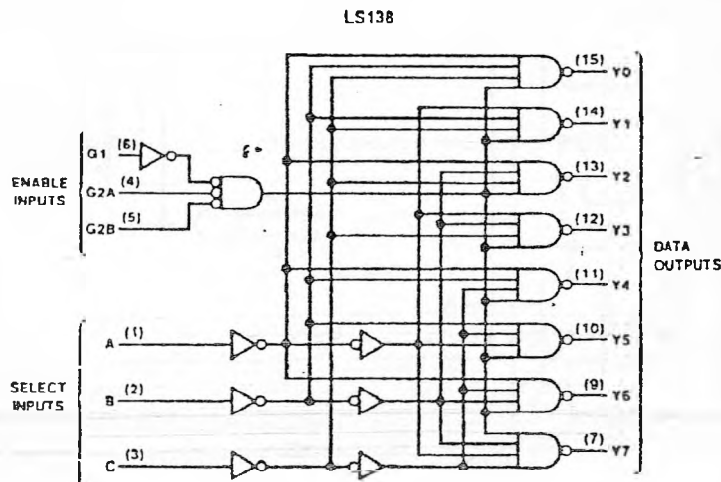
### Function Tables

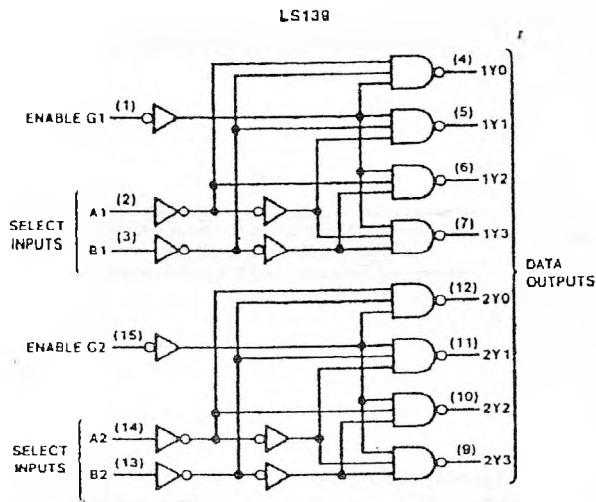
LS138

Inputs			Outputs									
Enable		Select			Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
G1	G2*	C	B	A								
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

\* G2 = G2A + G2B

H = High Level, L = Low Level, X = Don't Care



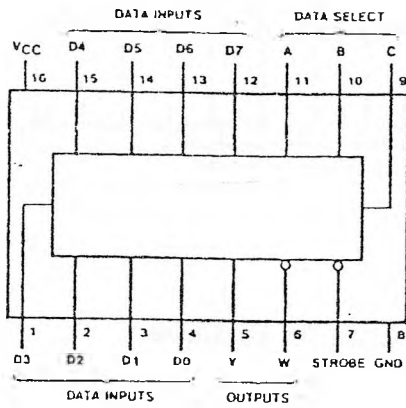


LS139

Inputs			Outputs			
Enable	Select		Y0	Y1	Y2	Y3
G	B	A				
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

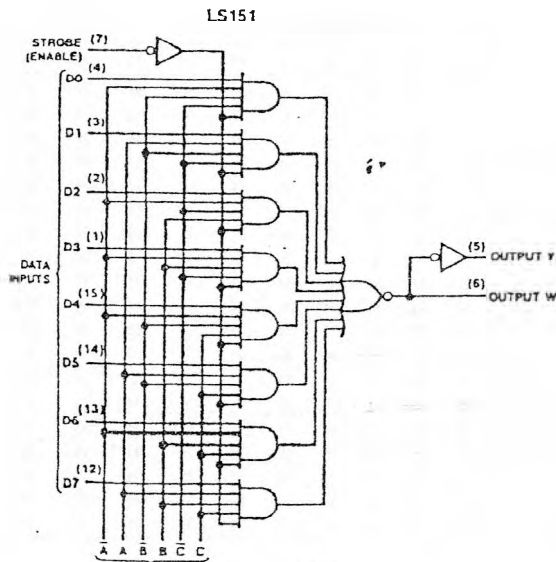
H = High Level, L = Low Level, X = Don't Care

### 54LS151/DM54LS151/DM74LS151 Data Selector/Multiplexer

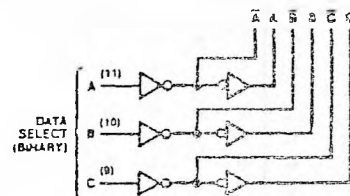


Inputs				Outputs	
Select			Strobe S	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	D0
L	L	H	L	D1	D1
L	H	L	L	D2	D2
L	H	H	L	D3	D3
H	L	L	L	D4	D4
H	L	H	L	D5	D5
H	H	L	L	D6	D6
H	H	H	L	D7	D7

H = High Level, L = Low Level, X = Don't Care  
D0, D1...D7 = the level of the respective D input

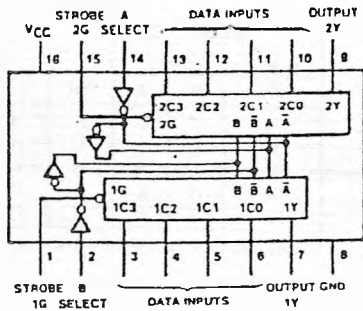


Address Buffers for 54LS151/74LS151



71/F/8302-3

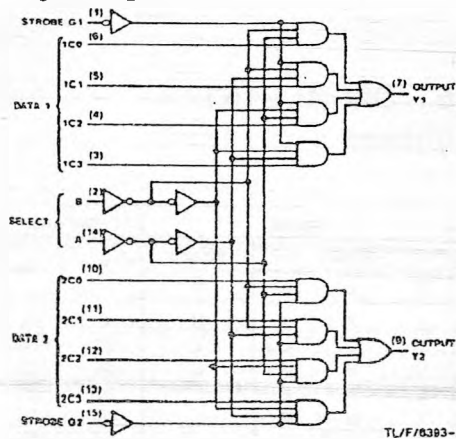
## 54LS153/DM54LS153/DM74LS153 Dual 4-Line to 1-Line Data Selectors/Multiplexers



Order Number 54LS153DMOB, 54LS153FMOB,  
54LS153LMQB, DM54LS153J, DM54LS153W,  
DM74LS153M or DM74LS153N  
See NS Package Number E20A, J16A, M16A,  
N16E or W16A

TL/F/6393-1

### Logic Diagram



TL/F/6393-2

### Function Table

Select Inputs		Data Inputs				Strobe	Output
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select Inputs A and B are common to both sections.  
H = High Level, L = Low Level, X = Don't Care

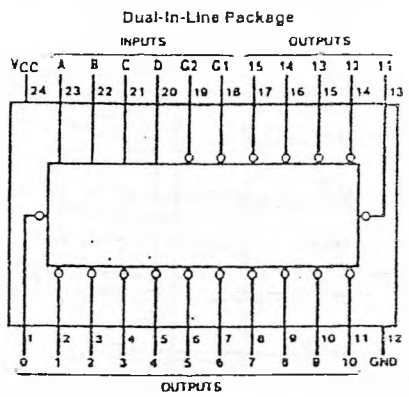
## DM54LS154/DM74LS154 4-Line to 16-Line Decoders/Demultiplexers

### Function Table

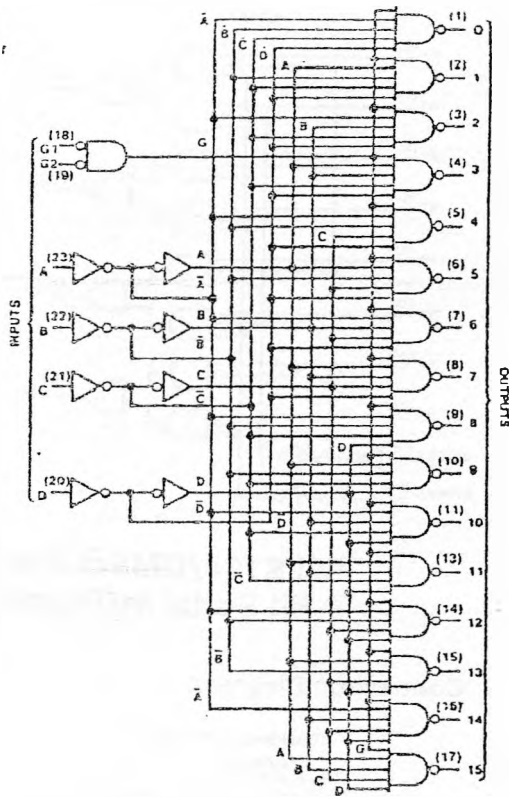
Inputs					Outputs																	
Q1	Q2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	H	H	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	H	L	H	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	H	H	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	H	H	H	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = High Level, L = Low Level, X = Don't Care

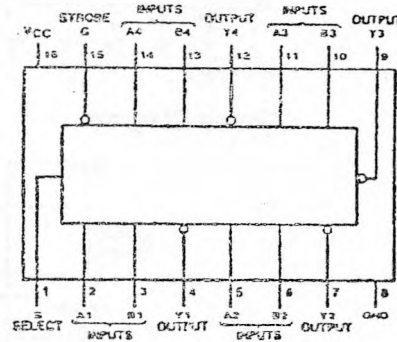
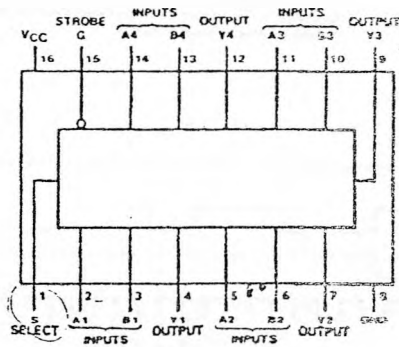
Connection and Logic Diagrams



Order Number DM54LS154J,  
DM74LS154WM or DM74LS154N  
See NS Package Number J24A, M24B or N24A

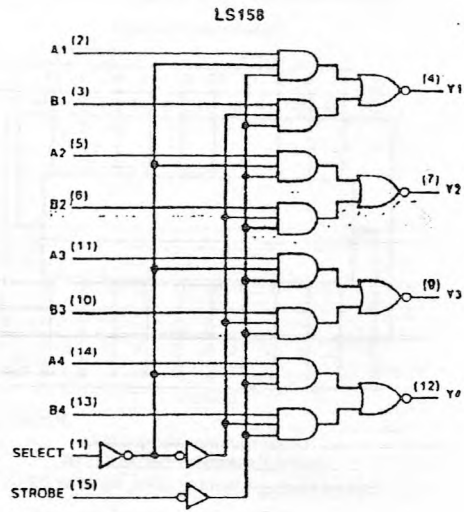
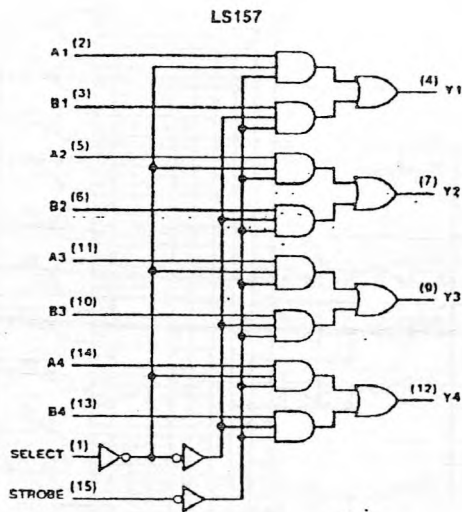


54LS157/DM54LS157/DM74LS157,  
54LS158/DM54LS158/DM74LS158  
Quad 2-Line to 1-Line Data Selectors/Multiplexers



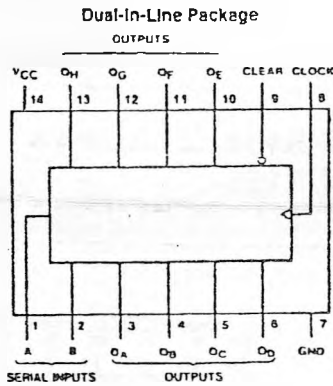
Strobe	Select	Inputs		Output Y	
		A	B	LS157	LS158
H	X	X	X	L	H
L	L	L	X	L	H
L	H	H	X	H	L
L	L	X	L	L	H
L	H	X	H	H	L

H = High Level, L = Low Level, X = Don't Care



**54LS164/DM54LS164/DM74LS164  
8-Bit Serial In/Parallel Out Shift Registers**

**Connection Diagram**

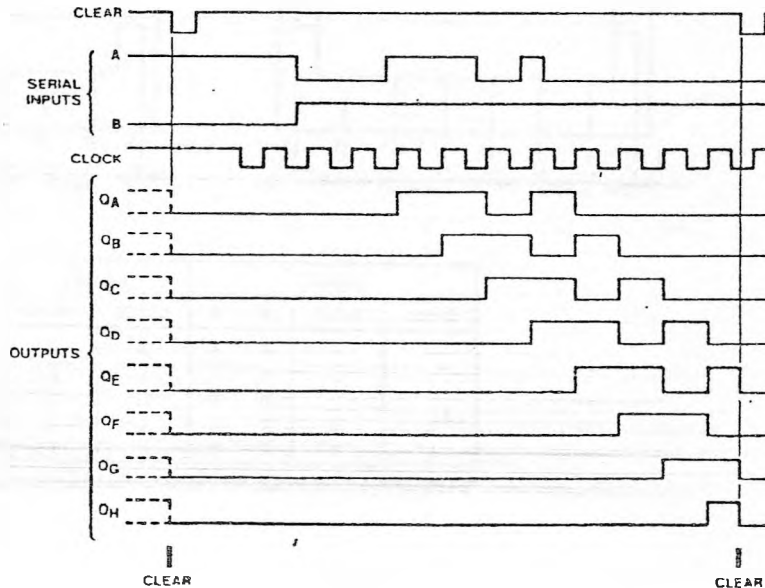


**Function Table**

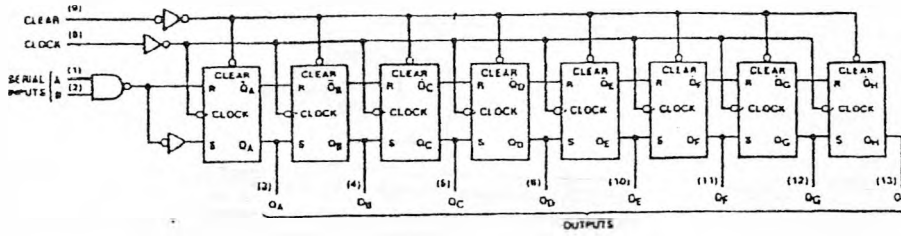
Inputs				Outputs			
Clear	Clock	A	B	Q <sub>A</sub>	Q <sub>B</sub>	...	Q <sub>H</sub>
L	X	X	X	L	L	...	L
H	L	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	...	Q <sub>H0</sub>
H	↑	H	H	H	Q <sub>An</sub>	...	Q <sub>Gn</sub>
H	↑	L	X	L	Q <sub>An</sub>	...	Q <sub>Gn</sub>
H	↑	X	L	L	Q <sub>An</sub>	...	Q <sub>Gn</sub>

H = High Level (steady state), L = Low Level (steady state)  
 X = Don't Care (any input, including transitions)  
 ↑ = Transition from low to high level  
 Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>H0</sub> = The level of Q<sub>A</sub>, Q<sub>B</sub>, or Q<sub>H</sub>, respectively, before the indicated steady-state input conditions were established.  
 Q<sub>An</sub>, Q<sub>Gn</sub> = The level of Q<sub>A</sub> or Q<sub>G</sub> before the most recent ↑ transition of the clock; indicates a one-bit shift.

**Timing Diagram**

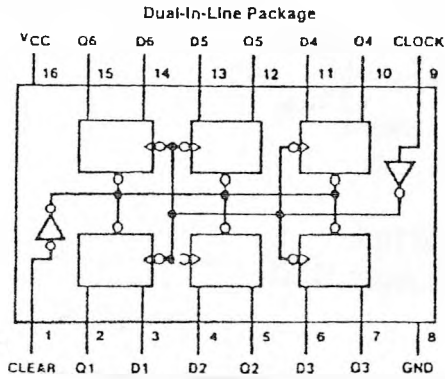


Logic Diagram



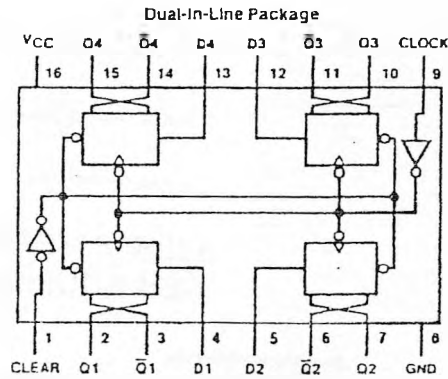
54LS174/DM54LS174/DM74LS174,  
54LS175/DM54LS175/DM74LS175  
Hex/Quad D Flip-Flops with Clear

Connection Diagrams



TL/F16404-1

Order Number 54LS174DMQB, 54LS174FMQB,  
54LS174LMQB, DM54LS174J,  
DM54LS174W, DM74LS174M or DM74LS174N  
See NS Package Number E20A, J16A,  
M16A, N16E or W16A



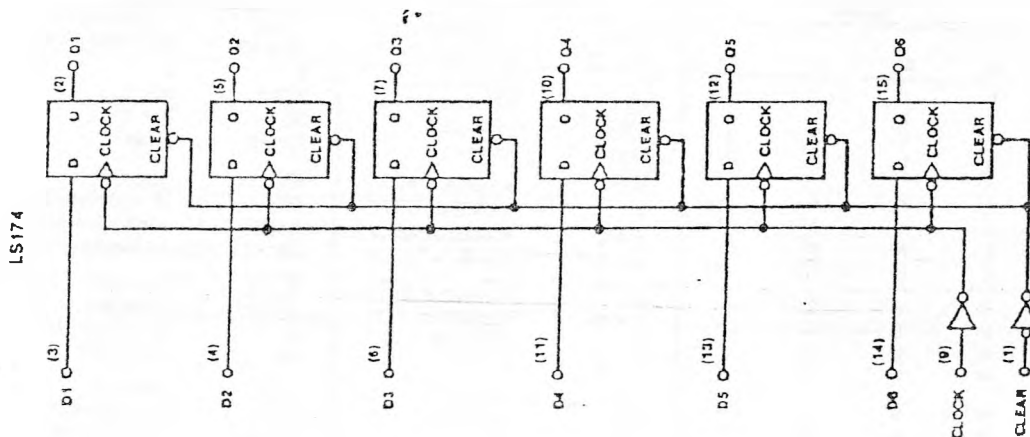
TL/F16404-2

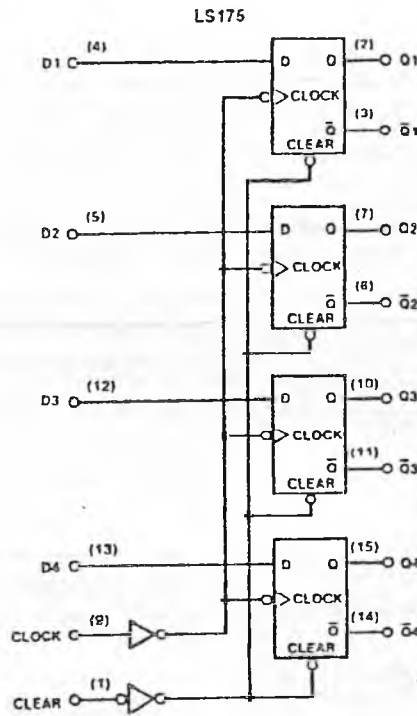
Order Number 54LS175DMQB, 54LS175FMQB,  
54LS175LMQB, DM54LS175J,  
DM54LS175W, DM74LS175M or DM74LS175N  
See NS Package Number E20A, J16A,  
M16A, N16E or W16A

Function Table (Each Flip-Flop)

Inputs			Outputs	
Clear	Clock	D	Q	Q̄
L	X	X	L	H
H	↑	1	H	L
H	↑	L	L	H
H	L	X	O <sub>0</sub>	O <sub>0</sub> -bar

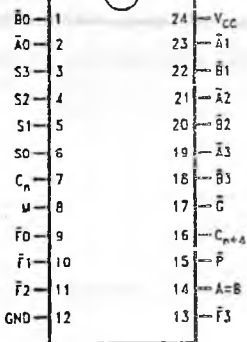
H = High Level (steady state)  
L = Low Level (steady state)  
X = Don't Care  
↑ = Transition from low to high level  
O<sub>0</sub> = The level of Q before the indicated steady-state input conditions were established.  
1 = LS175 only





54LS181/DM74LS181  
4-Bit Arithmetic Logic Unit

Dual-In-Line Package



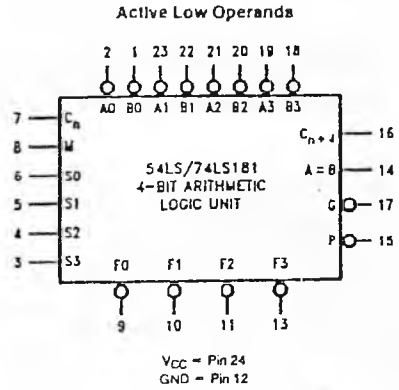
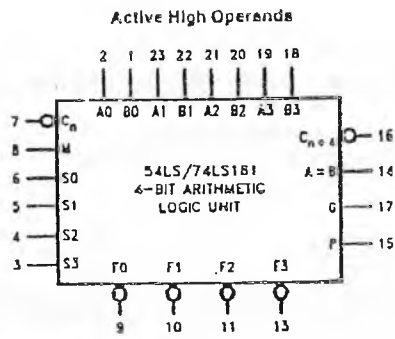
Pin Name	Description
A0-A3	Operand Inputs (Active LOW)
B0-B3	Operand Inputs (Active LOW)
S0-S3	Function Select Inputs
M	Mode Control Input
C <sub>n</sub>	Carry Input
F0-F3	Function Outputs (Active LOW)
A = B	Comparator Output
G	Carry Generate Output (Active LOW)
P	Carry Propagate Output (Active LOW)
C <sub>n+4</sub>	Carry Output

Function Table

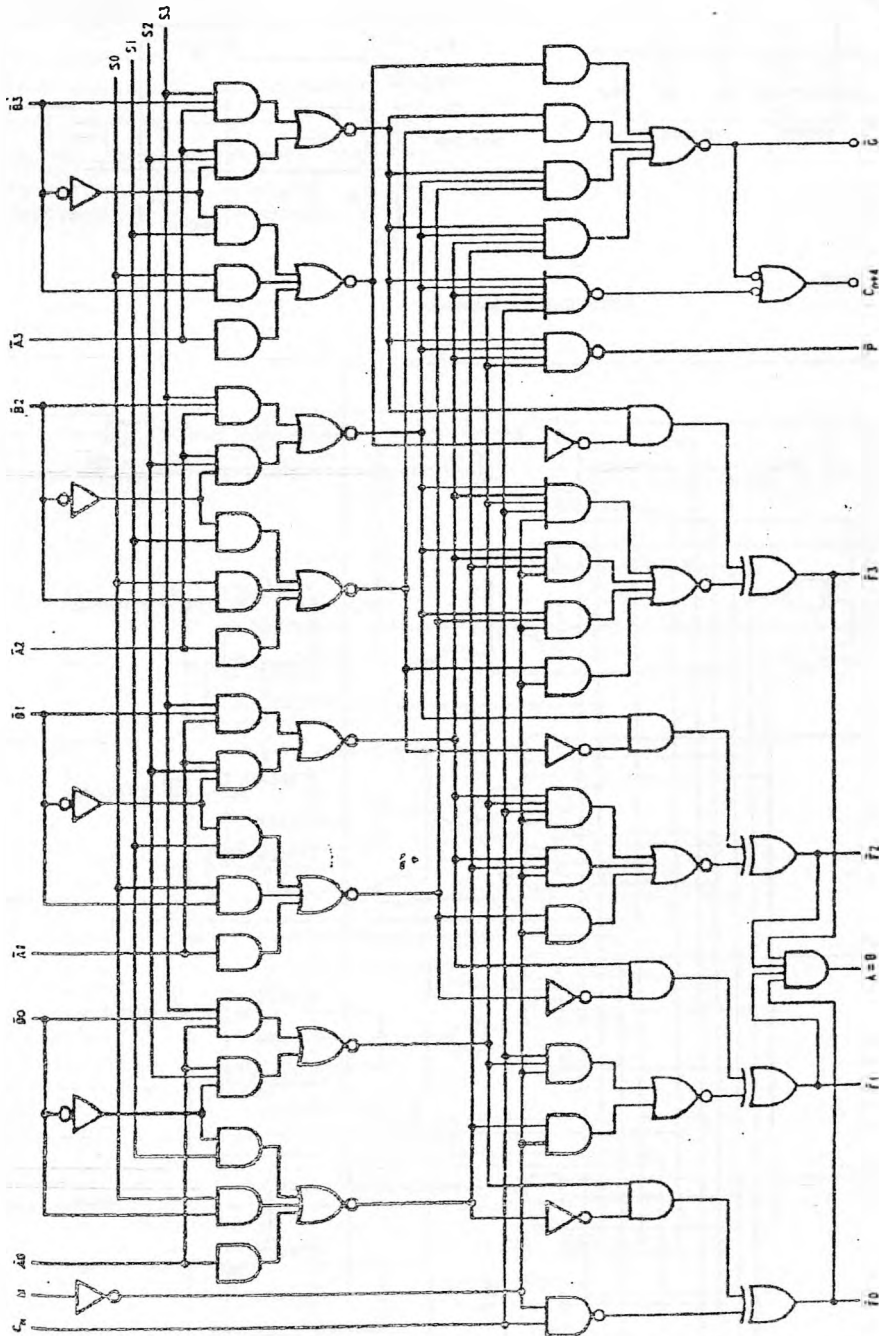
Mode Select Inputs				Active LOW Operands & F <sub>n</sub> Outputs		Active HIGH Operands & F <sub>n</sub> Outputs	
S3	S2	S1	S0	Logic (M = H)	Arithmetic** (M = L) (C <sub>n</sub> = L)	Logic (M = H)	Arithmetic** (M = L) (C <sub>n</sub> = H)
L	L	L	L	$\bar{A}$	A minus 1	$\bar{A}$	A
L	L	L	H	$\bar{A}\bar{B}$	AB minus 1	$\bar{A} + \bar{B}$	A + B
L	L	H	L	$\overline{A + B}$	A $\bar{B}$ minus 1	$\bar{A}B$	A + $\bar{B}$
L	L	H	H	Logic 1	minus 1	Logic 0	minus 1
L	H	L	L	$\overline{A + \bar{B}}$	A plus (A + $\bar{B}$ )	$\bar{A}\bar{B}$	A plus $\bar{A}\bar{B}$
L	H	L	H	$\bar{B}$	AB plus (A + $\bar{B}$ )	$\bar{B}$	(A + B) plus $\bar{A}\bar{B}$
L	H	H	L	$\overline{A \oplus B}$	A minus B minus 1	$A \oplus \bar{B}$	A minus B minus 1
L	H	H	H	$A + \bar{B}$	A + $\bar{B}$	$\bar{A}\bar{B}$	AB minus 1
H	L	L	L	$\bar{A}B$	A plus (A + B)	$\bar{A} + \bar{B}$	A plus AB
H	L	L	H	$A \oplus \bar{B}$	A plus B	$\bar{A} \oplus \bar{B}$	A plus B
H	L	H	L	B	AB plus (A + B)	B	(A + $\bar{B}$ ) plus AB
H	L	H	H	$A + B$	A + B	AB	AB minus 1
H	H	L	L	Logic 0	A plus A*	Logic 1	A plus A*
H	H	L	H	$\bar{A}\bar{B}$	AB plus A	$A + \bar{B}$	(A + B) plus A
H	H	H	L	$\bar{A}B$	$\bar{A}\bar{B}$ minus A	A + B	(A + $\bar{B}$ ) plus A
H	H	H	H	A	A	A	A minus 1

\*Each bit is shifted to the next more significant position

\*\*Arithmetic operations expressed in 2's complement notation.

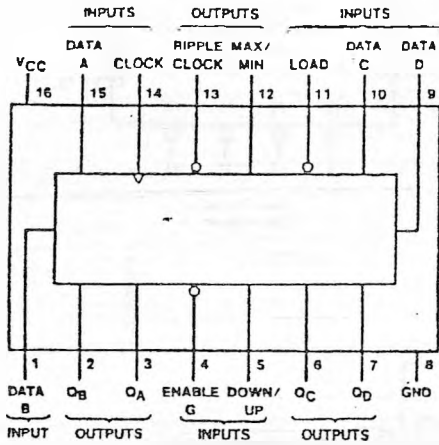


Logic Diagram

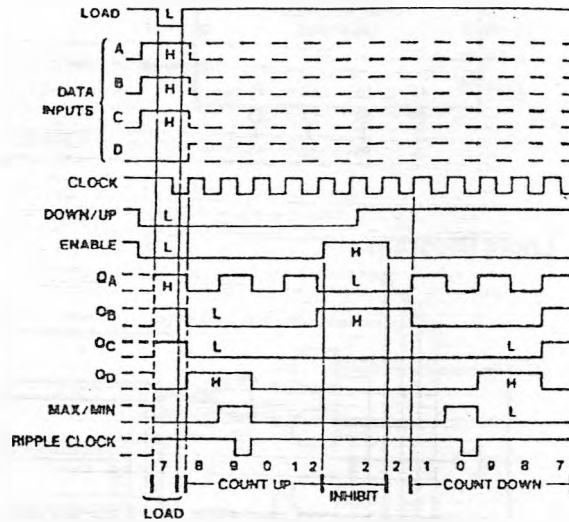


TLU/FAB21-5

## DM54LS190/DM74LS190, DM54LS191/DM74LS191 Synchronous 4-Bit Up/Down Counters with Mode Control

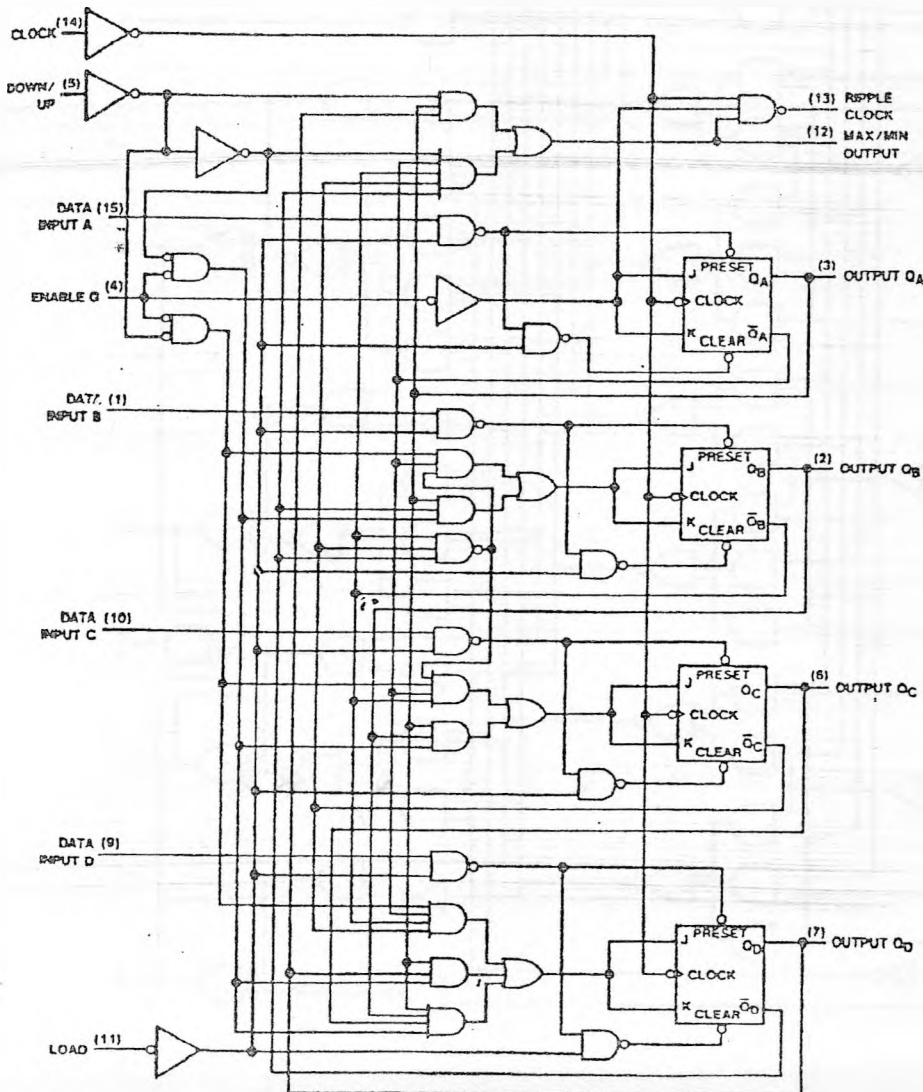


LS190 Decade Counters  
Typical Load, Count, and Inhibit Sequences



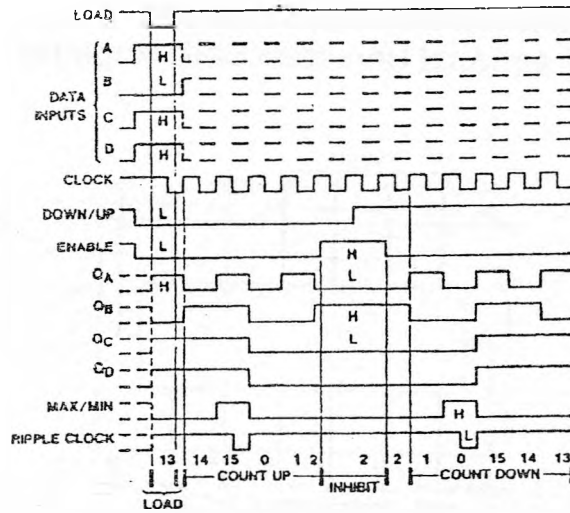
### Logic Diagrams

LS190 Decade Counters



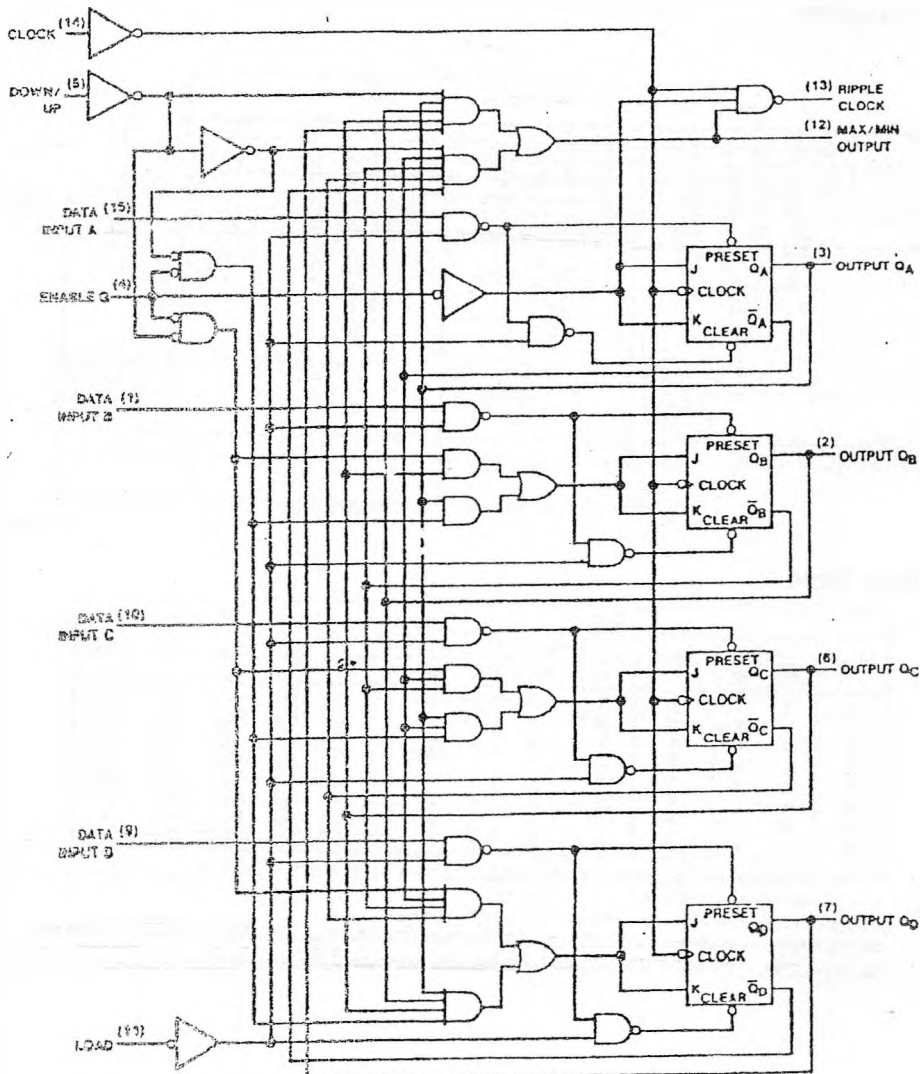
Pin (16) = V<sub>CC</sub>, Pin (8) = GND

LS191 Binary Counters  
Typical Load, Count, and inhibit Sequences



Logic Diagrams (Continued)

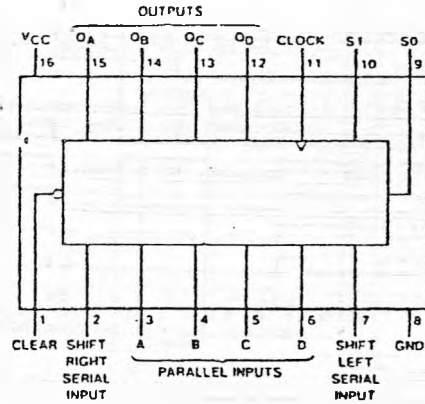
LS191 Binary Counters



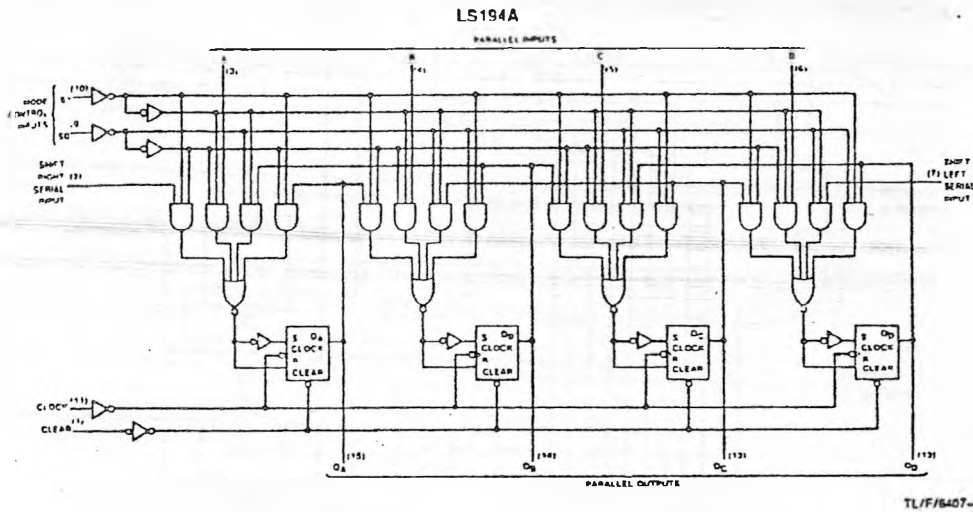
TL/F/6405-3

Pin (16) - V<sub>CC</sub>, Pin (8) - GND

## 54LS194A/DM74LS194A 4-Bit Bidirectional Universal Shift Register



### Logic Diagram



TL/F/6407-2

### Function Table

Clear	Inputs			Outputs								
	Mode		Clock	Serial		Parallel		QA	QB	QC	QD	
	S1	S0		Left	Right	A	B					C
L	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X <sup>a</sup>	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H	↑	X	X	a	b	c	a	b	c	d
H	L	H	↑	X	H	X	X	X	H	QAn	QBn	QCn
H	L	H	↑	X	L	X	X	X	L	QAn	QBn	QCn
H	H	L	↑	H	X	X	X	X	QBn	QCn	QDn	H
H	H	L	T	L	X	X	X	X	QBn	QCn	QDn	L
H	L	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0

H = High Level (steady state), L = Low Level (steady state), X = Don't Care (any input, including transitions)

↑ = Transition from low to high level

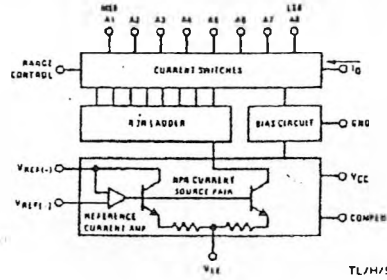
a, b, c, d = The level of steady state input at inputs A, B, C or D, respectively.

QA0, QB0, QC0, QD0 = The level of QA, QB, QC, or QD, respectively, before the indicated steady state input conditions were established.

QAn, QBn, QCn, QDn = The level of QA, QB, QC, respectively, before the most-recent ↑ transition of the clock.

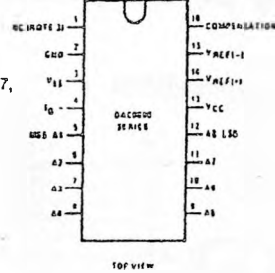
## DAC0808/DAC0807/DAC0806 8-Bit D/A Converters

### Block and Connection Diagrams



TL/H/5687-1

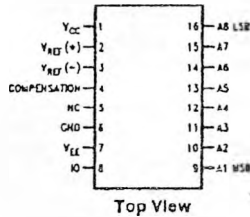
### Dual-In-Line Package



TL/H/5687-2

Order Number  
DAC0808, DAC0807,  
or DAC0806  
See NS Package  
Number J16A,  
M16A or N16A

### Small-Outline Package



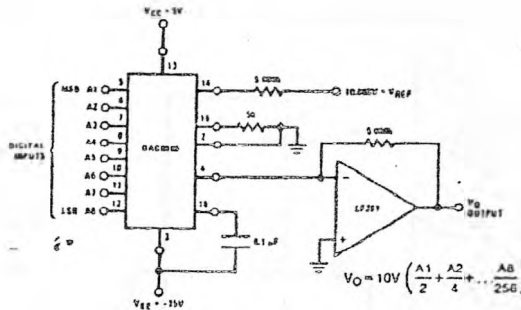
TL/H/5687-13

### Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS				
		J PACKAGE (J16A)*		N PACKAGE (N16A)*		SO PACKAGE (M16A)
8-bit	-55°C ≤ T <sub>A</sub> ≤ +125°C	DAC0808LJ	MC1508L8	DAC0808LCN	MC1408P8	DAC0808LCM
8-bit	0°C ≤ T <sub>A</sub> ≤ +75°C	DAC0808LCJ	MC1408L8	DAC0807LCN	MC1408P7	DAC0807LCM
7-bit	0°C ≤ T <sub>A</sub> ≤ +75°C	DAC0807LCJ	MC1408L7	DAC0806LCN	MC1408P6	DAC0806LCM
6-bit	0°C ≤ T <sub>A</sub> ≤ +75°C	DAC0806LCJ	MC1408L6			

\*Note: Devices may be ordered by using either order number.

### Typical Application

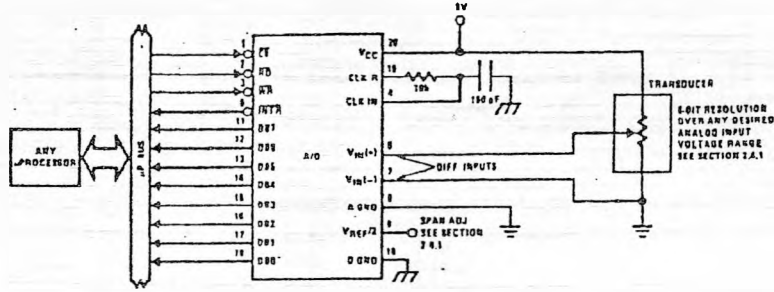


TL/H/5687-3

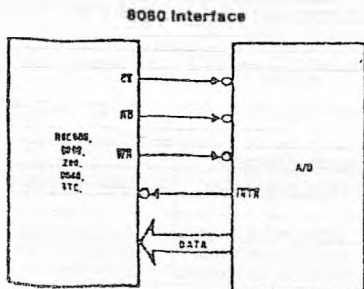
FIGURE 1. +10V Output Digital to Analog Converter (Note 7)

## ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit $\mu$ P Compatible A/D Converters

### Typical Applications



TL/H/5871-1

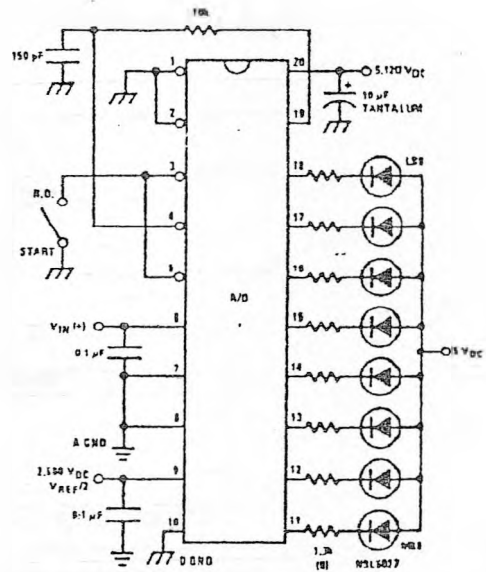
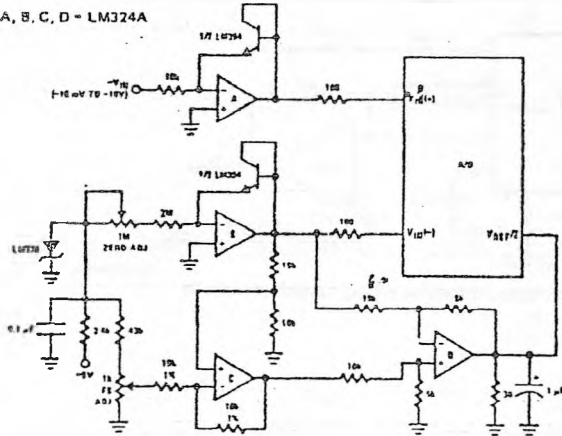


TL/H/5871-31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2 = 2.500 V_{DC}$ (No Adjustments)	$V_{REF}/2 = \text{No Connection}$ (No Adjustments)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		$\pm 1$ LSB	
ADC0805			$\pm 1$ LSB

### 3-Decade Logarithmic A/D Converter

A, B, C, D - LM324A

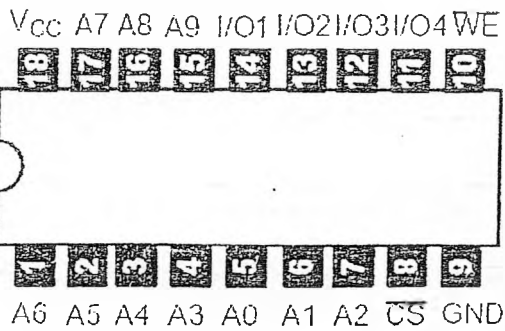


TL/H/5871-18

FIGURE 7. Basic A/D Tester

## NTE2114 Static 4K RAM

Pin Connection Diagram

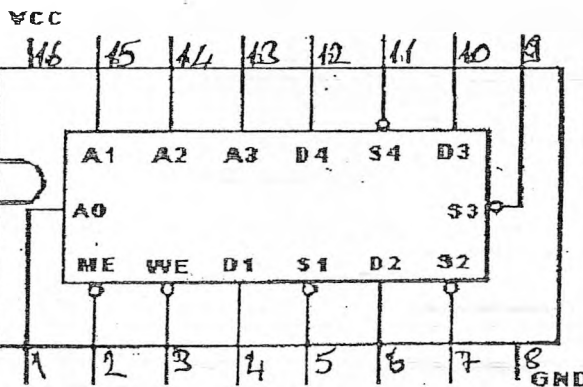


Truth Table

CS	WE	I/O	MODE
H	X	Hi-Z	Not Selected
L	L	H	Write 1
L	L	L	Write 0
L	H	D <sub>OUT</sub>	Read

## DM5489/DM7489 (SN5489/SN7489)

64-bit random access read/write memory



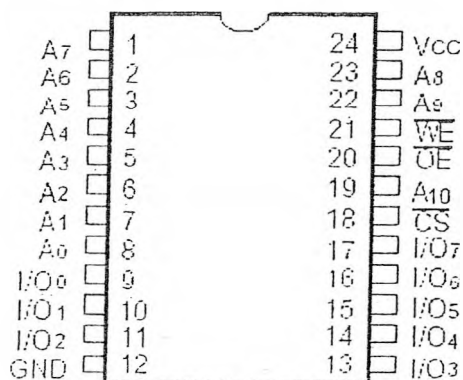
Truth Table

ME	WE	Operation	Condition of Outputs
L	L	Write	TRI-STATE
L	H	Read	Complement of Selected Word
H	L	Inhibit, Storage	TRI-STATE
H	H	Inhibit, Storage	TRI-STATE

A0-A3 ADDRESS INPUT  
D1-D4 DATA INPUT  
S1-S4 DATA OUTPUT  
ME MEMORY ENABLE  
WE WRITE ENABLE

## IDT6116SA/IDT6116LA 16K (2K x 8 BIT) STATIC RAM

PIN CONFIGURATIONS



TRUTH TABLE

Mode	CS	OE	WE	I/O
Standby	H	X	X	High-Z
Read	L	L	H	DATAOUT
Read	L	H	H	High-Z
Write	L	X	L	DATAIN

PIN DESCRIPTIONS

A0-A13	Address Inputs
I/O0-I/O7	Data Input/Output
CS	Chip Select
WE	Write Enable
OE	Output Enable



MEMORANDUM

TO : [Illegible]

FROM : [Illegible]

SUBJECT: [Illegible]

[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]
[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]
[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]
[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]
[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]	[Illegible]

RECOMMENDATION AND CONCLUSION

[Illegible]	[Illegible]	[Illegible]	[Illegible]
[Illegible]	[Illegible]	[Illegible]	[Illegible]
[Illegible]	[Illegible]	[Illegible]	[Illegible]
[Illegible]	[Illegible]	[Illegible]	[Illegible]

[Illegible text at the bottom of the page]